



10GbEや40GbEの高速なLANネットワークの利用で、データセンターにおけるコンピュータ間の通信帯域は飛躍的に増加しています。それと同時にデータ処理プロセッサにも処理速度の高速化が求められていますが、プロセッサの処理能力には限界がありその処理をアクセラレートするのがここで紹介するFPGAアクセラレータボードです。

HPC向け FPGAアクセラレータボード

FPGAアクセラレータボード

Alpha Data社は、CAPI (Coherent Accelerator Processor Interface)に対応したFPGAアクセラレータボードをデータセンター向け又はHPC(High Performance Computing)向けに提供しています。このボードを使用することで、データ処理アプリケーションをFPGAに実装するための開発期間を大幅に短縮することができます。

製品のラインナップは下表のとおりです。

これらのボードはLinux又はWindows

のシステムで動作することができ、IBM社製POWER8及びPOWER9サーバに対応しています。

CAPI(Coherent Accelerator Processor Interface)はFPGAアクセラレータをPOWER8又はPOWER9プロセッサチップのコヒーレントなファブリックに接続します。CAPIはI/Oサブシステムとのプロセッサ通信のソフトウェアオーバーヘッドを取り除き、FPGAアクセラレータをアプリケーションの一部として動作させることができます。POWERシステム上のCAPIは、FPGA上でクライアント固有の演算アルゴ






リズムを実装するための高性能ソリューションを提供します。

デザインフロー

システム開発のための下記3つのデザインフローが提供されてます。

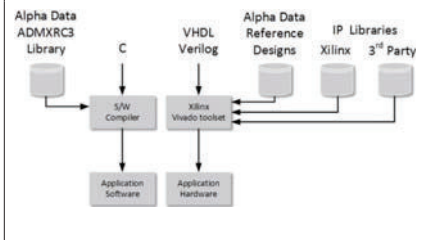
- 従来のハードウェア/ソフトウェア設計フロー
- Xilinx SDAccel デザインフロー
- OpenPOWER CAPIベースのデザインフロー

表9 FPGAアクセラレータボードラインナップ

FPGA Accelerator Products					
型名	ADM-PCIE-9V3	ADM-PCIE-8K5	ADM-PCIE-8V3	ADM-PCIE-KU3	ADM-PCIE-7V3
					
FPGA	Xilinx Virtex UltraScale Plus	Xilinx Kintex UltraScale	Xilinx Virtex UltraScale	Xilinx Kintex UltraScale	Xilinx Virtex7
PCI Express	Gen4 x8 Gen3 x16	Gen3 x8	Gen3 x8	Gen3 x8	Gen3 x8
フォームファクタ	Half Length Low profile	Half Length Low profile	Half Length Low profile	Half Length Low profile	Half Length Low profile
オンボードメモリ	1G x 72 x 2bank, DDR4-2400	1G x 72 x 2bank, DDR4-2400	1G x 72 x 2bank, DDR4-2400	8GByte x2, DDR3-1600	8GByte x2, DDR3-1333
ネットワーク	100Gb Ethernet, QSFP28 x2	10Gb Ethernet, SFP+ x2	100Gb Ethernet, QSFP28 x2	40Gb Ethernet, QSFP x2	10Gb Ethernet, SFP+ x2
外部 インターフェース	Ultraport SlimSAS Connector (8x 22.5Gbps lanes), USB board management (built-in JTAG) customizable GPIO	Dual Firefly Interfaces – providing 8 x 16Gbps links	USB board management (built-in JTAG) customizable GPIO Dual Firefly Interfaces – providing 8 x 28Gbps links	Dual SATA Interfaces capable of up to 6Gb/s data rates. External Sync (PPS) interface	Dual SATA Interfaces capable of up to 6Gb/s data rates
SDAccel	–	○	–	○	○
OpenPOWER	–	○	○	○	○

従来のハードウェア/ソフトウェア設計フロー

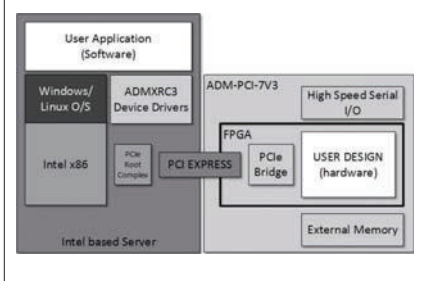
図12 従来の設計フロー



FPGAデザインはAlpha Dataのリファレンスデザイン及びXilinx社又はサードパーティのIPコアライブラリを組み合わせ、Vivado開発環境で設計します。その後、Vivadoツールでの論理合成、配置配線を実行してFPGAアプリケーションが作成されます。

アプリケーションソフトウェアは、Alpha DataのSDK API(ADMXRC3)を使用してC言語で作成します。サーバ側とFPGAボード側のデザインブロックは下図のとおりです。

図13 サーバとFPGAボードのデザインブロック



下図はPCIe IPコアの設定例です。

図14 PCIe IPコア設定例



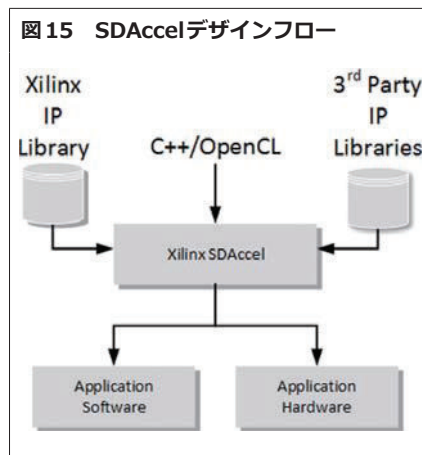
リファレンスデザインはVivado GUIプロジェクトとして導入ガイドと共に提供されています。

また、その他サンプル例は以下の様なものがあります。

- Dim_test :
メモリーインターフェースサンプル
- Reg_access :
PCIeレジスタアクセスサンプル
- Dma_demo :
PCIe DMAパフォーマンスデモサンプル
- Avr2util :
USBの電源とステータスモニタリング
- SFP+/QSFP+ IBERT Loopback Demo :
10G/25Gループバックテストサンプル
- SFP+/QSFP 10GE XGMII Loopback Demo :
10G XGMIIからSFP+/QSFPのテストサンプル
- QSFP+ 40GE XGMII Loopback Demo :
40G XGMIIからQSFPのテストサンプル
- QSFP+ 10GE Ethernet Loopback Demo :
Chevin Tech社製、10G MAC/PHYデモ
- QSFP28 25GE Ethernet Loopback Demo :
Chevin Tech社製、25G MAC/PHYデモ
- SATA MAC IP and example PHY :
Low Level SATAコントローラデザインサンプル
- Dual-PCIe core Demo :
Dual PCI Expressエンドポイントシステムサンプル

Xilinx SDAccelデザインフロー

図15 SDAccelデザインフロー



XilinxのSDAccel設計ツールを使用することで、C++又はOpenCLを使用してXilinx IP又はサードパーティIPモジュール

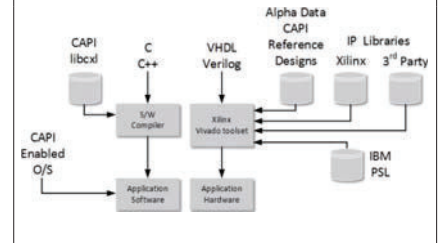
と共にアプリケーションが作成されます。

SDAccel開発環境は、OpenCL/C/C++カーネルの任意の組み合わせをサポートする業界初のアーキテクチャ最適化コンパイラであり、完全なCPU/GPUライクの開発とFPGAのランタイムエクスペリエンスの為にライブラリと開発ボードが含まれています。

Alpha Data社はSDAccelを認定されたXilinxアライアンスメンバーであり、Virtex-7及びKintex Ultrascale製品を提供しています。

OpenPOWER CAPIベースのデザインフロー

図16 CAPIベースデザインフロー



CAPIベースの設計フローは、設計者がホストインターフェースを開発する必要がなくなります。これは、予め構築されたPower Server Layer (PSL) モジュールとして提供されます。それ以外の多くの部分はVHDL/Verilogを使用してFPGAの設計をVivadoツールで行い、C/C++を使用してアプリケーションソフトを作成します。

Alpha Data社のCAPIキットには、POWER8/9チップへの接続、ユーザ定義のAFU(Accelerator Function Units)のサンプル、CAPI専用のOSカーネル拡張機能、およびライブラリ機能が含まれています。(下図参照)

図17 FPGAボードとPOWER9プロセッサ

