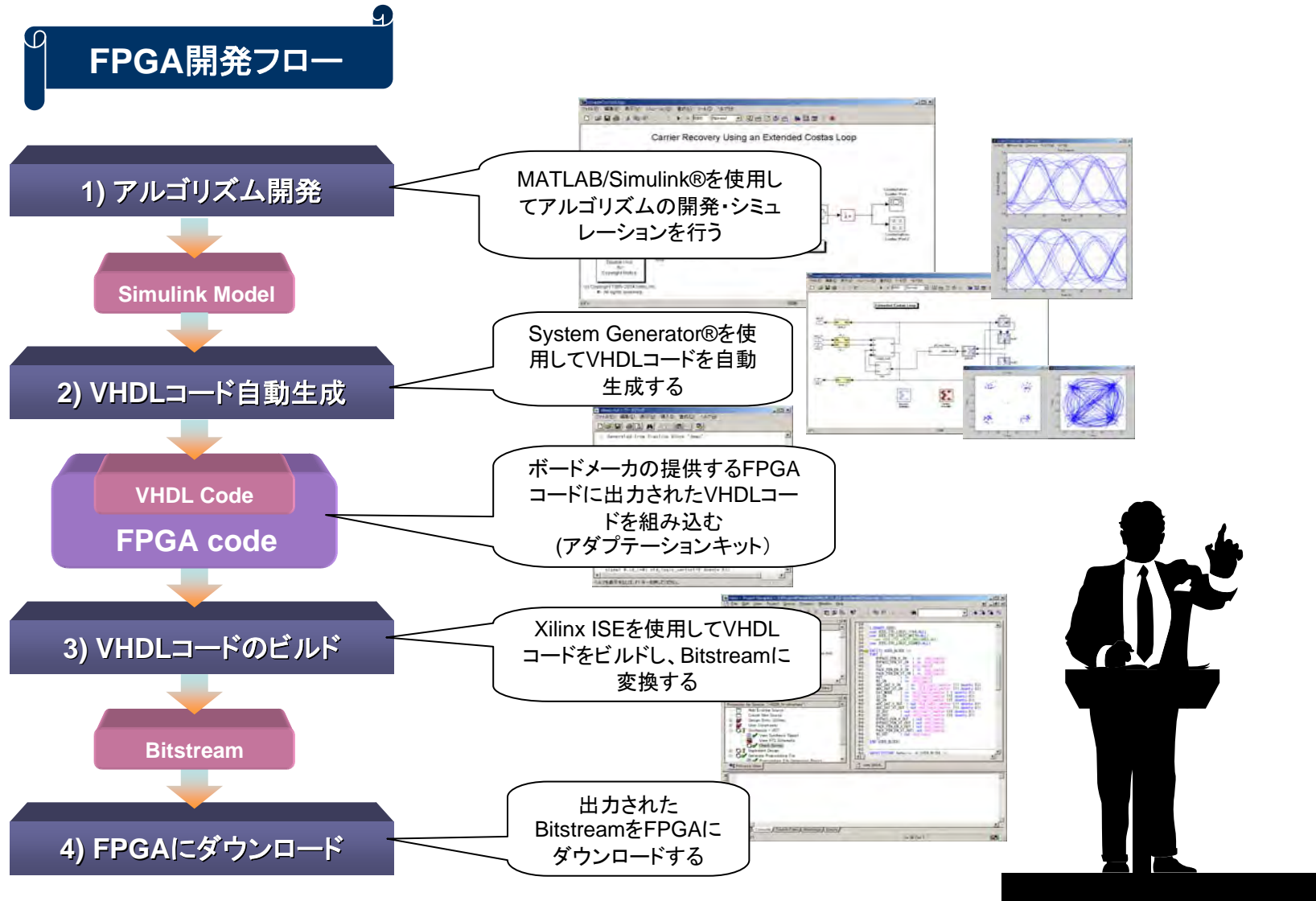


MISH
INTERNATIONAL

MATLAB/Simulinkを使用した FPGA開発のアプローチ

株式会社ミッシュインターナショナル



■ MATLAB

- Mathworks社製、数値計算・データ解析・可視化・アルゴリズム開発を行うためのテクニカルコンピューティング言語と対話型環境を提供するソフトウェア

<http://www.cybernet.co.jp/matlab/>



■ Simulink

- Mathworks社製、ブロック線図シミュレータ

http://www.cybernet.co.jp/matlab/products/product_listing/simulink/index.shtml



■ System Generator

- Xilinx社製、高性能 DSP 信号処理システム用のインプリメンテーション ツール

http://japan.xilinx.com/ise/optional_prod/system_generator.htm



■ ISE Foundation

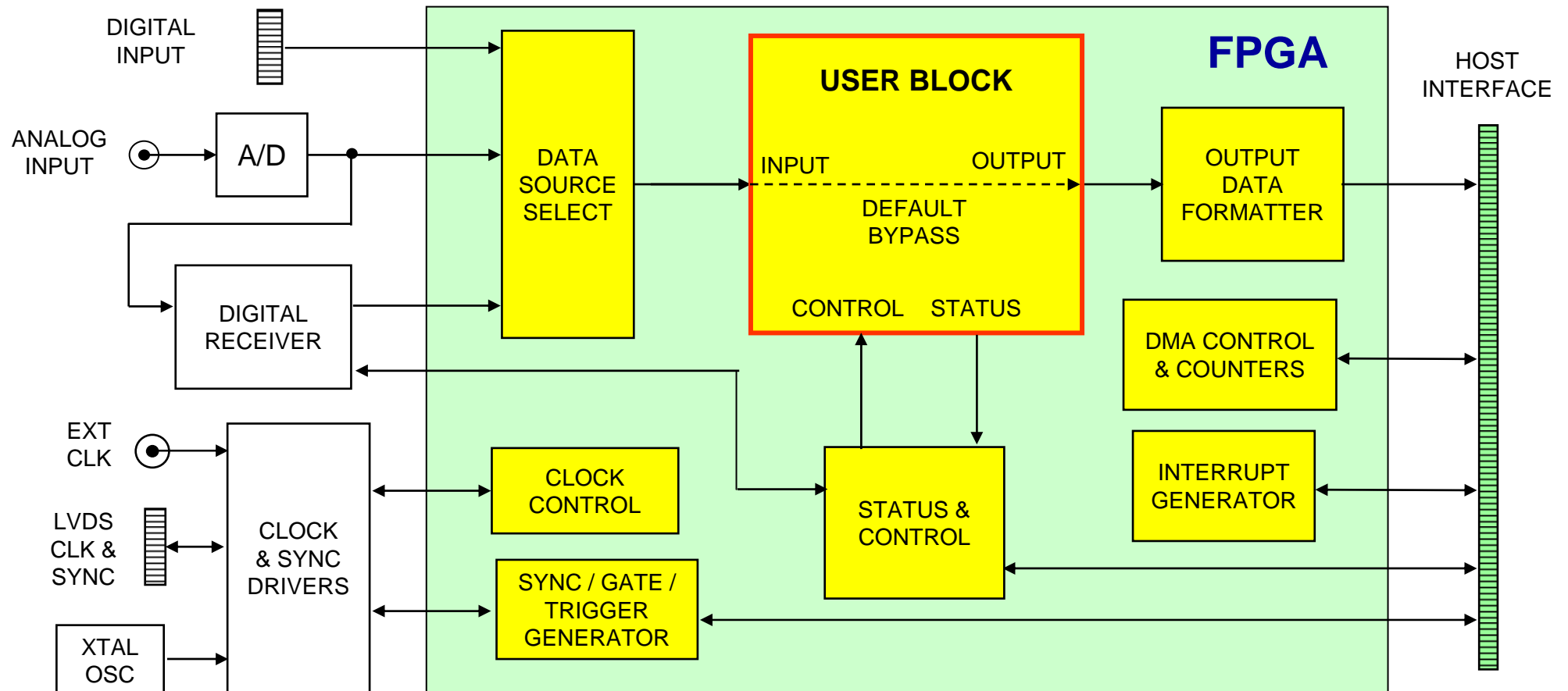
- Xilinx社製、FPGA統合開発環境

http://japan.xilinx.com/ise/logic_design_prod/foundation.htm



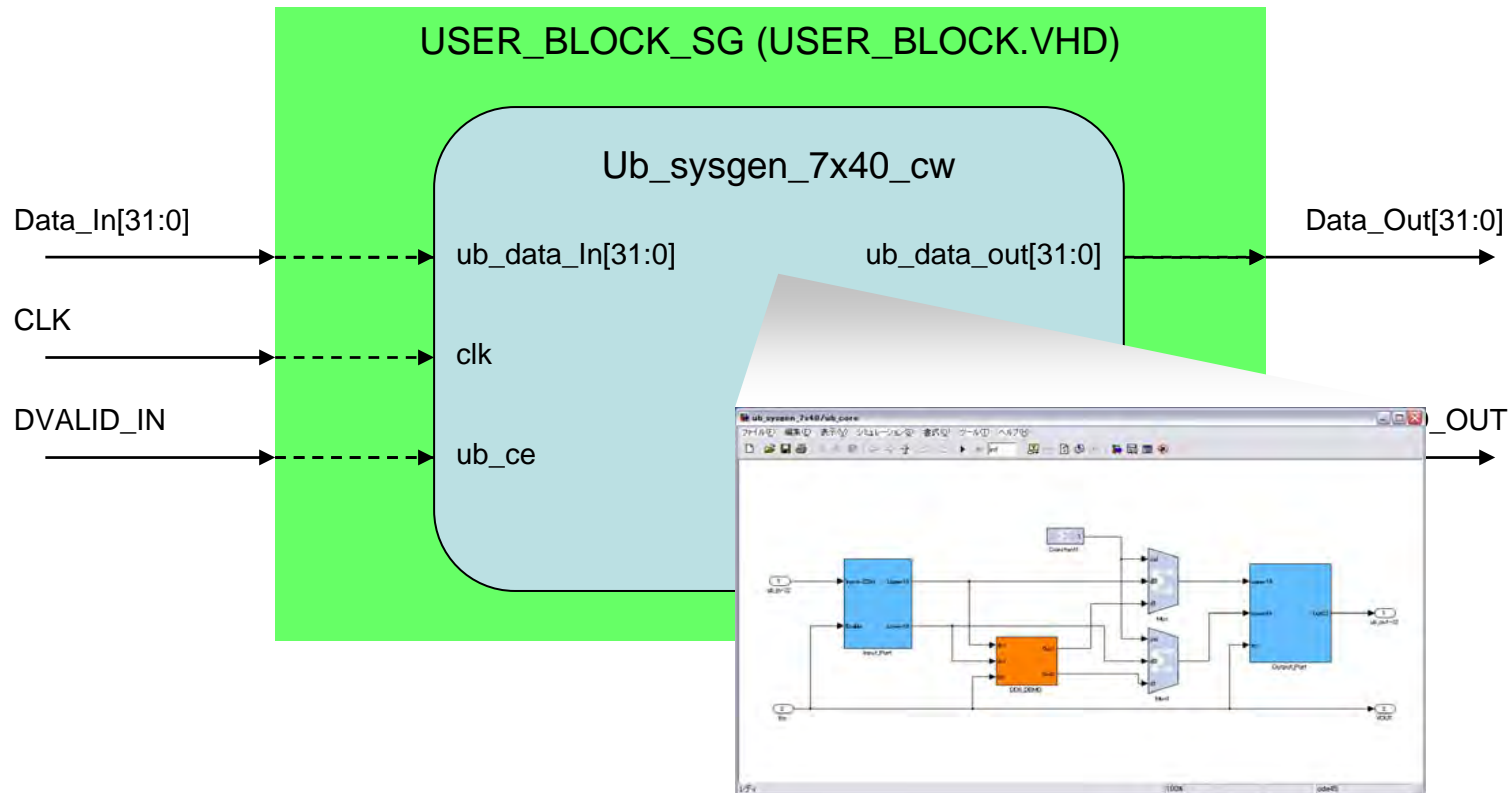
■ 提供されているVHDLサンプルコードについて

- 各ボード毎に提供されているVHDLコードにはユーザーアルゴリズムを実装しやすいようにユーザーブロックがVHDLコードで予め準備されています。よってユーザーはユーザーブロックのエリアのみ開発する事でFPGAにアルゴリズムを実装する事ができます



■ MISHのアダプテーションキットに関して

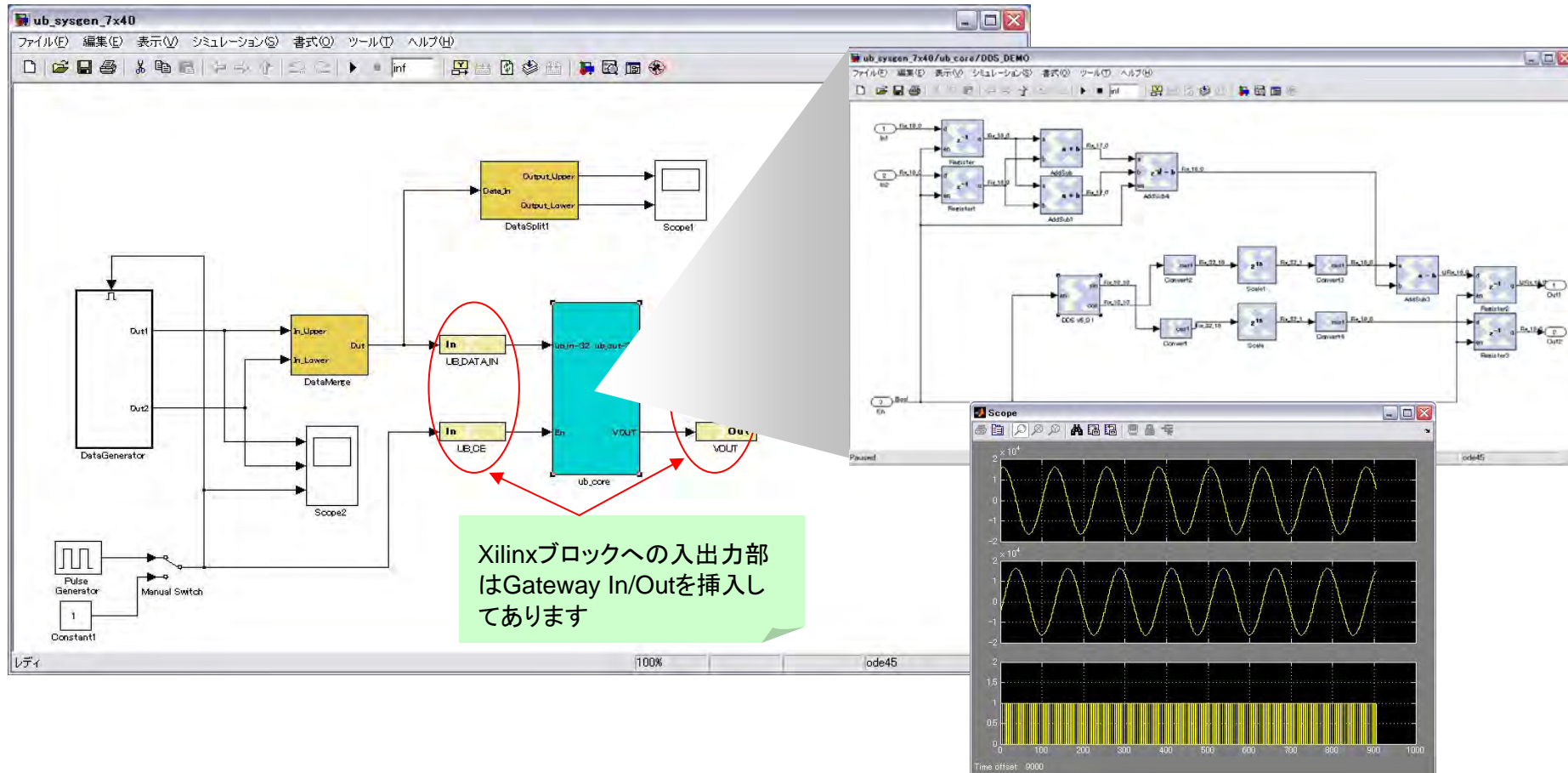
- 弊社で提供しているアダプテーションキットは標準で提供されているユーザーブロック(VHDL記述)に System Generatorで作成したSimulinkモデルを実装する為のものです
- このアダプテーションキットを利用する事でユーザーはブロック線図で作成したモデルをVHDL言語を記述する事無くFPGAに実装する事ができます



1) アルゴリズム開発

■ アルゴリズムの実装

- ▶ 青いブロック部分に、System Generatorで提供されているFPGA用ブロックセットを使用し
てユーザーアルゴリズムを実装します
- ▶ Scope等を使用してシミュレーションの結果を確認します

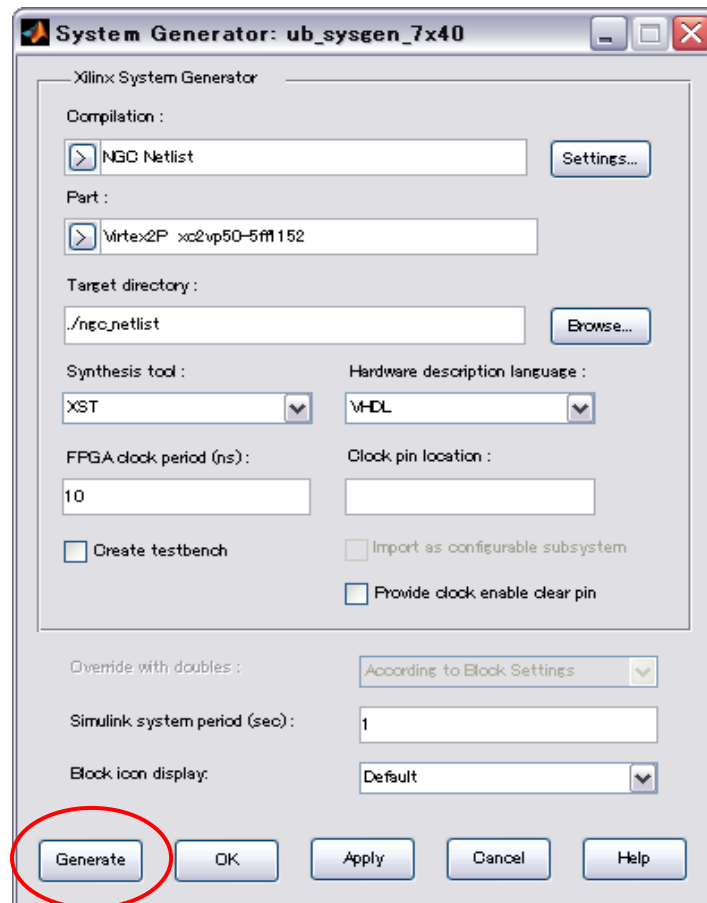


2) VHDLコード自動生成

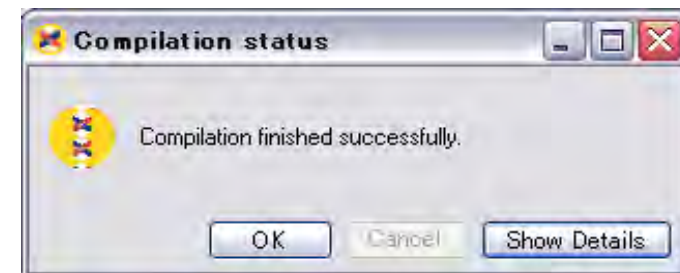
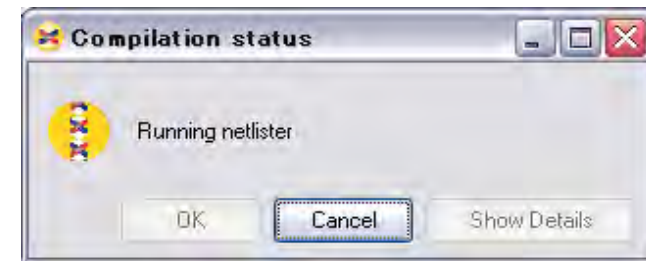
■ SystemGeneratorでVHDLコードを生成する



➤ SystemGeneratorのコードジェネレータを使用してVHDLコードを生成します



GenerateボタンをクリックするとVHDLコード生成がスタートします



これで終了です

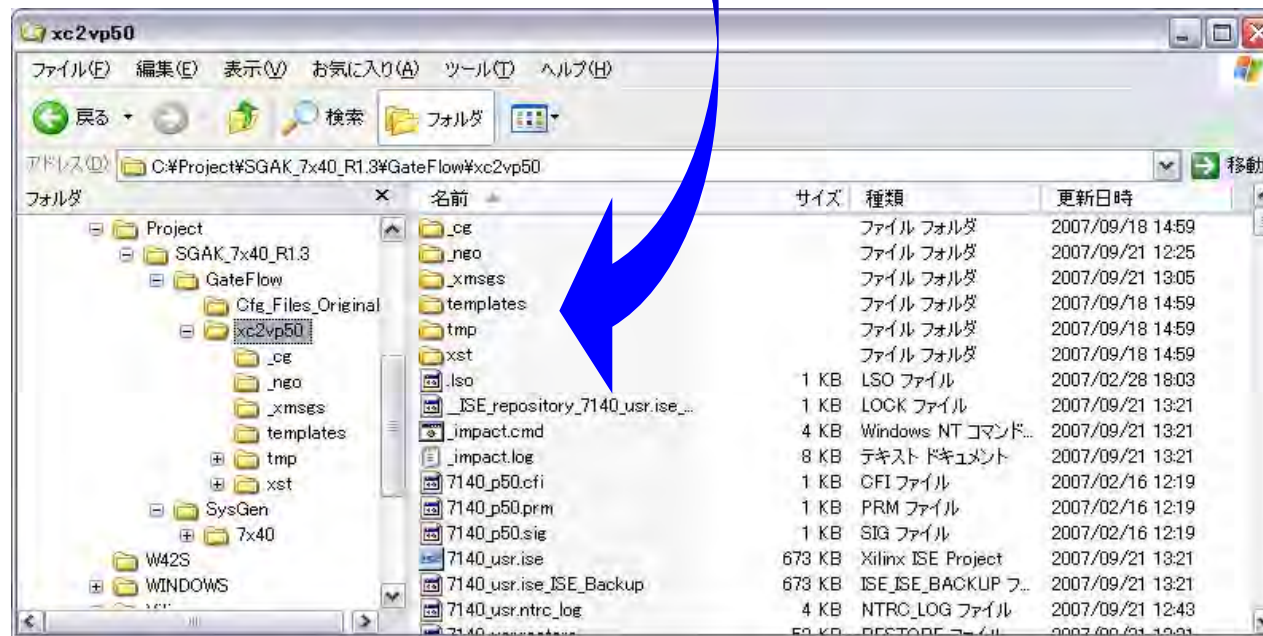
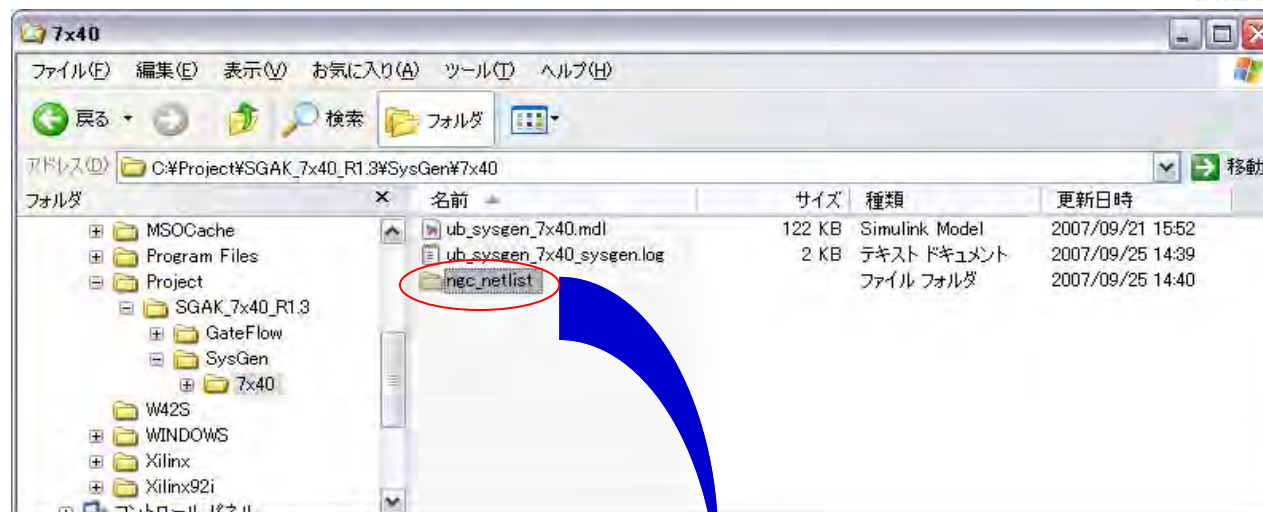


■ 出力されたVHDLコードをユーザーブロックに組み込む

▶ Ngc_netlistフォルダをISEプロジェクトフォルダにコピー&ペーストします



**コピー&ペースト
するだけ!**



3) VHDLコードのビルド

■ ISE FoundationでISEプロジェクトをビルドする

- ▶ Xilinx社製統合開発環境ISE Foundationを使用して論理合成・配置配線・ビットストリーム生成を行いビルドします
- ▶ ビルドが完了すると"top_vp50.bit"ファイルが出力されます (ROMに焼きこむ場合はmcsファイルに変換します)



The screenshot shows the Xilinx ISE Foundation Design Summary window for a project named '7140_USR'. The window is divided into several panes:

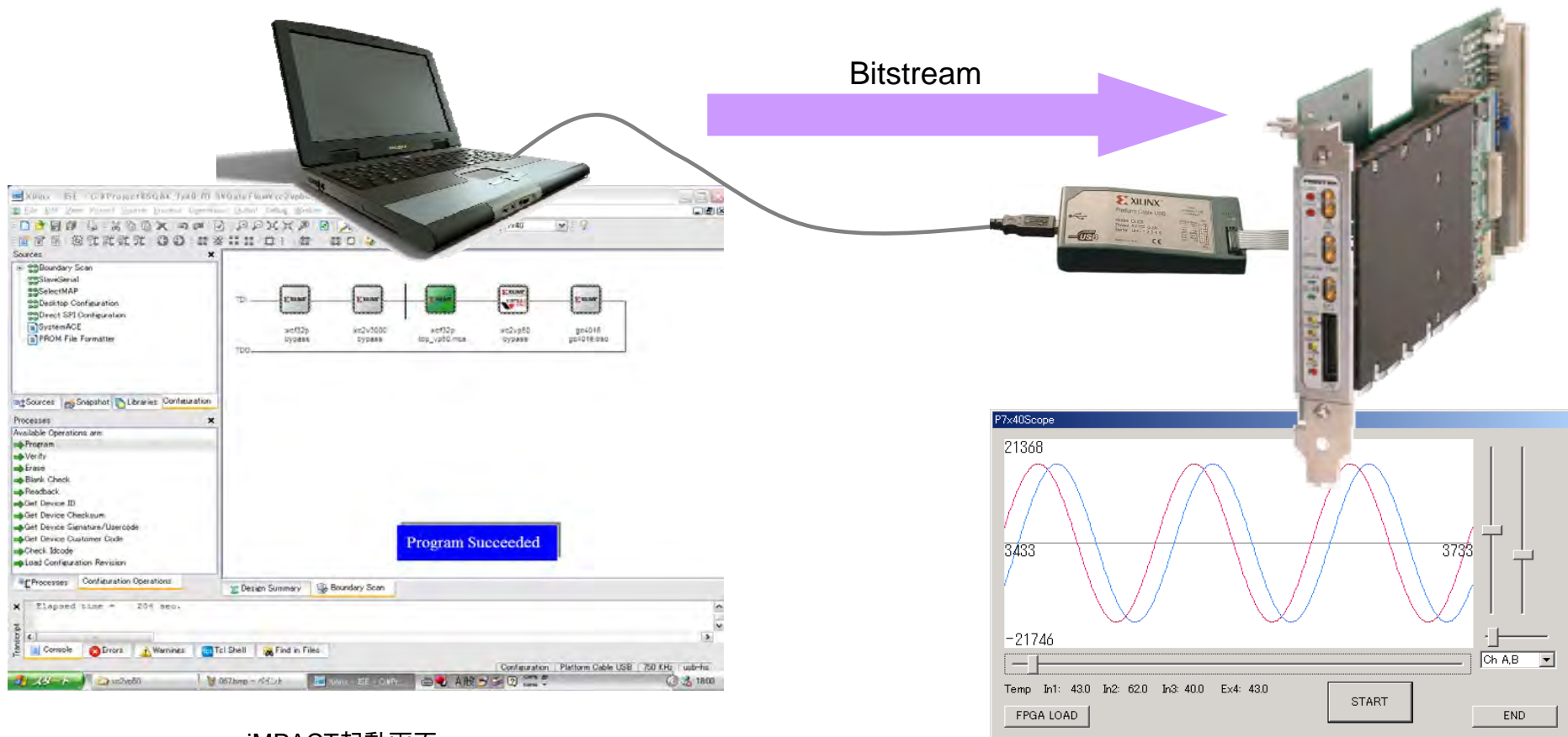
- Sources:** Lists the project files, including '7140_usr', 'xc2vp50-5ff1152', and various VHDL files like 'TOP_VP50 - STRUCTURE (top_vp50.vhd)'.
- Processes:** Shows the current process for 'TOP_VP50 - STRUCTURE', with 'Generate Programming File' highlighted in red.
- FPGA Design Summary:** A tree view showing 'Design Overview' (Summary, IDB Properties, Timing Constraints, Pinout Report, Clock Report) and 'Errors and Warnings' (Synthesis Messages, Translation Messages, Map Messages, Place and Route Messages, Timing Messages, Bitgen Messages, All Current Messages).
- 7140_USR Project Status:** A table showing project details:

Project File:	7140_usr.isc	Current State:	Programming File Generated
Module Name:	TOP_VP50	Errors:	No Errors
Target Device:	xc2vp50-5ff1152	Warnings:	7635 Warnings (0 new, 0 filtered?)
Product Version:	ISE 9.2.08i	Updated:	水 6 25 14:44:05 2008
- 7140_USR Partition Summary:** States 'No partition information was found.'
- Current Errors:** States 'No Errors Found'.
- Synthesis Warnings (Only the first 50 listed):** Lists multiple warnings of type 'WARNING:Xst:2211' related to the project path.
- Project Properties:** A list of checkboxes for design summary options, such as 'Enable Enhanced Design Summary' and 'Show Errors'.
- Transcript:** Shows the command 'Started : "Launching Design Summary".'





■ iMPACTでFPGAにダウンロード

- ISEに書き込みツールとして含まれているiMPACTを使用して、生成されたBitstreamをJTAGケーブル(又はプログラム経由)でFPGAにダウンロードします
- 実機にてリアルタイムにシミュレーションが可能です



iMPACT起動画面

	 MATLAB/Simulink (アダプテーションキット)	 VHDL
1) 難易度	必要な機能はブロックセットで提供されているので簡単に実装できる	FPGA用のハードウェア記述言語を使用して論理回路を実装する必要がある
2) シミュレーション	Simulink上で容易にシミュレーションが可能	ビルドが完了して、FPGAに書き込んでからでないとシミュレーションはできない
3) 外部I/Oとの接続	アダプテーションキットにて最適化している為、コピー&ペーストのみ	ハードウェア記述言語で信号を正しく接続する必要がある
4) ビルドの実行回数	Simulinkモデルの時点でシミュレーションができるので、シミュレーション結果がOKなら1回のビルドで同じ結果が得られる	ビルドが完了しないと結果が確認できない為、何度もビルドを繰り返して修正する必要がある
5) 開発効率	☆☆☆☆☆	☆