

MISH TECH JOURNAL (ミッシュ・テックジャーナル) は、最新の情報をいち早くお届けする技術情報誌です。

MISH TECH JOURNAL

2008 Summer Vol. 1

Powered by
MISH
INTERNATIONAL



<http://www.mish.co.jp>

CONTENTS

FPGA ————— P.2

FPGAの必要性
FPGAの利便性
FPGAの可能性

ミッシュの FPGAソリューション ————— P.4

Phoenix6821
PhoenixVPF1

FPGAの開発 ————— P.6

アルゴリズム開発
VHDLコード自動生成
アダプテーションキット
VHDLコードのビルド
FPGAにダウンロード

IPコア ————— P.8

広帯域超高速DDC IPコア
パルスコンプレッションIPコア
浮動小数点FFT IPコア
JPEG圧縮IPコア

FPGAボード新製品 ————— P.10

PhoenixVPF2

'08夏号特集

FPGA信号処理ソリューション

高速信号処理をFPGAで実現する。

企画・編集・発行／株式会社ミッシュインターナショナル
〒190-0004 東京都立川市柏町4-56-1 園部ビル
TEL : 042-538-7650 FAX : 042-534-1610 Email : sales@mish.co.jp

FPGA

フィールド・プログラマブル・ゲート・アレイ



近年、データの情報量の増大に伴い大規模 FPGA の需要が急速に高まっています。従来、DSP 又は PowerPC 等の専用プロセッサを使用して信号処理を行ってきましたが、帯域幅 (Bandwidth) の拡大と AD コンバータの高速化によって後段の信号処理部がそれに追従できなくなってきたという状況があります。

そこで、需要が高まっているのが FPGA です。約 10 年前は、FPGA は高価・低速・小規模というイメージがあり小ロットの製品に使用される事が多く量産品には ASIC を使用するのが一般的でしたが、現在は低価格化・高速化・大規模化により量産品にも大量の FPGA を導入する事ができるようになりました。今回はこの FPGA に関していくつかの例を挙げながら、FPGA の必要性・利便性・可能性を考えていきたいと思います。

FPGA の必要性 (NEEDS)

高速・広帯域の信号を取り扱う場合、FPGA は必要不可欠なものとなってきています。例えば、図 1 の様なシステムを考えた場合、信号処理部に入力されるデータレートは 400MByte/sec となりこのデータを連続で処理しながら出力する必要があります。(図 1)

このシステムの信号処理部を DSP 又は PowerPC で実現しようとする、信号処理部に入力する前にデータを振り分けて複数のプロセッサで並列処理する必要があります。(図 2)

デマルチプレクサで入力された信号を複数の DSP に振り分け、更に処理後の結果を再度一つにまとめるマルチプレクサが必要となり、膨大な数のプロセッサが必要となります。または、入力段でダブルバッファ構成にしてブロック単位で各 DSP に振り分ける必要があるかもしれません。(図 3)

ダブルバッファリング (又はスウィングバッファ) は高速の信号を途切れなく後段に受け渡す手法です。高速でサンプリングされた AD コンバータからのデータストリームなどは常に連続で一定のデータレートが入力されてきます。一方、DSP 側は処理が間に合わない為複数のプロセッサに分散し並列で信号処理することになります。このような場合にこのダブルバッファリングの手法を使います。

この様なシステムを FPGA で実現す

図 1 信号処理システム例

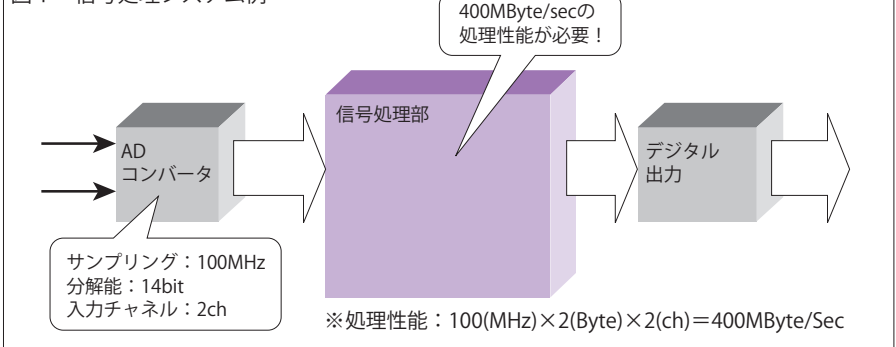


図 2 DSP 処理システム例

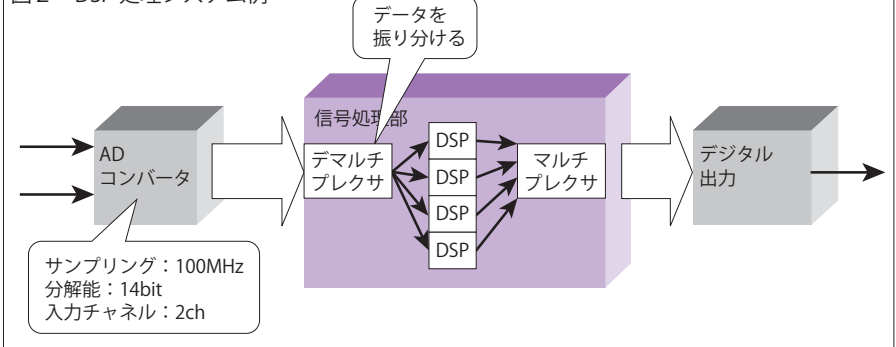
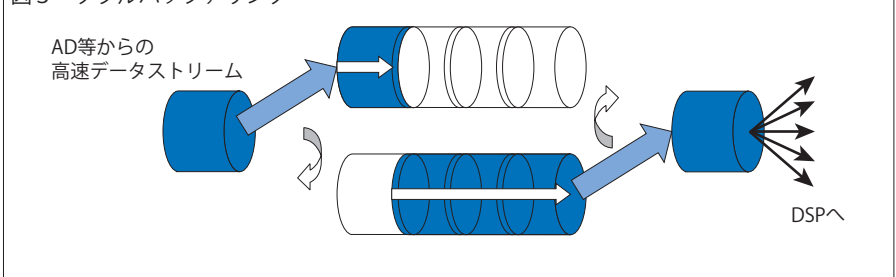


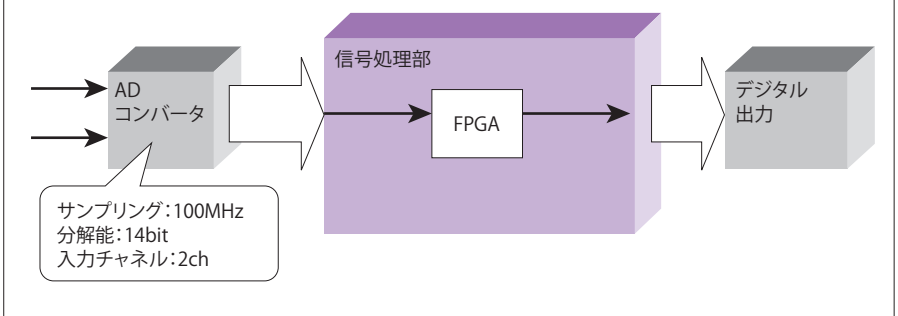
図 3 ダブルバッファリング



れば高速の信号を取り扱う事が可能になりますので、システムはシンプルになり、簡略化することができます。(図4)

FPGA に入力されたデータは FPGA 内部で高速に信号処理する事ができますので、システムはシンプルになり複雑なハードウェアの設計は必要なくなります。

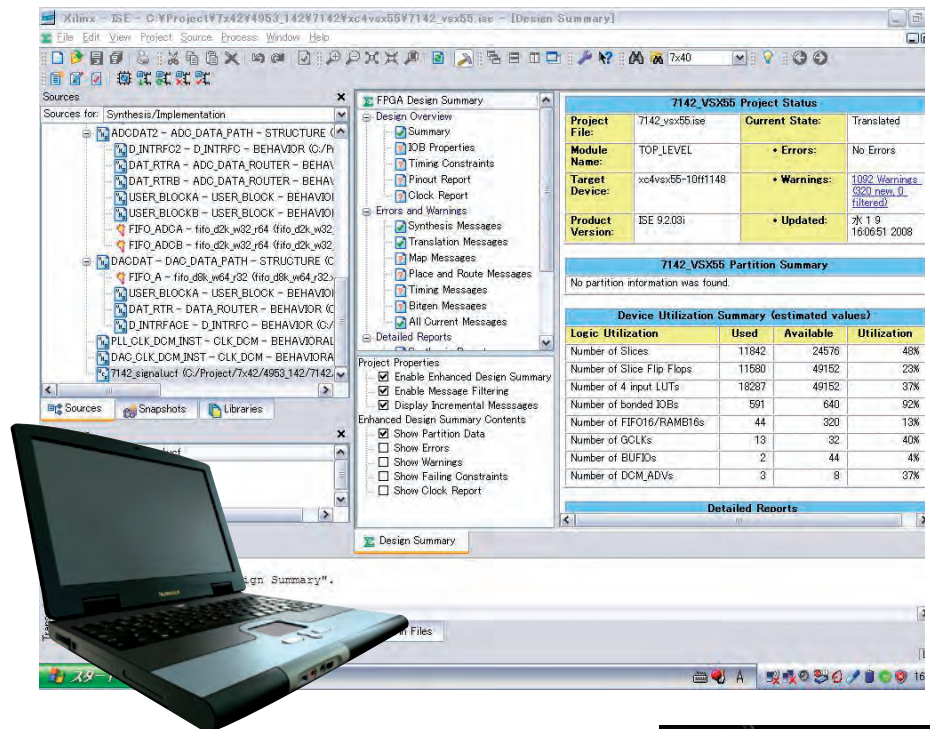
図4 FPGA 処理システム例



FPGA の利便性 (USABILITY)

FPGA は Field Programmable Gate Array の略語で、何度も書き換える事ができるロジックデバイスです。一方 ASIC は Application Specific Integrated Circuit の略語で、特定用途向けの集積回路です。ASIC の回路はデバイスを製造する前に完了している必要があり、完成したら書き換える事ができません。よって膨大な初期投資がかかるのが ASIC です。

FPGA はパソコンと開発環境があれば開発することができますので誰でも簡単に導入する事ができます。また、各 FPGA メーカーから低価格の評価ボードも販売されていますので初心者でも手軽に購入が可能です。



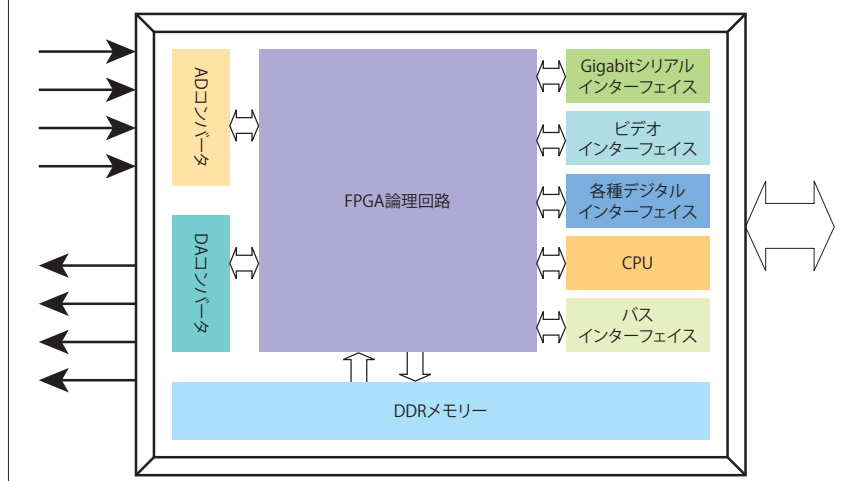
FPGA の可能性 (POSSIBILITY)

将来的には AD コンバータ・DA コンバータを内蔵した FPGA も出てくるかもしれません。現在 FPGA がハード

ウェアの中心的存在となっている以上、今後は外部とのインターフェイス (I/O) を取り込んで、FPGA が 1 個あれば何でも作れる時代もそれほど遠い話ではないでしょう。

図5 マルチファンクション FPGA

FPGA





ミツシユの FPGA ソリューション

弊社は高速信号処理ソリューションとして A/D、D/A の入出力から信号処理、データストレージ、更に各種バスアナライザをトータルシステムでご提案しています。

ここで FPGA の役割は、A/D で高速にサンプリングされたデータから必要な情報のみを CPU 側に受け渡す高速信号処理部です。高速でリアルタイムに信号処理する場合には FPGA はとても重要な役割を担っています。

システムの構築

ここで下記仕様のシステムを構築する場合のシステム例を考えてみます。

仕様：アナログ入力周波数：100MHz
入力チャンネル：1 CH

アナログ入力周波数が 100MHz ですので、ナイキストの定理（標本化定理）からサンプリング周波数は 2 倍以上の周波数が必要となります。よって、AD コンバータのサンプリング周波数は 200MHz 以上となります。

Phoenix6821

サンプリング周波数：215MHz（最大）
分解能：12bit

入力チャンネル：1 CH

FPGA：Xilinx 社 Virtex-II Pro 搭載



Phoenix6821 はレーダー、無線通信等の高速無線信号処理に適した信号処理ボードです。

最大 215MHz, 12bit で AD サンプリングされたデータは中央にある Xilinx Virtex-II Pro FPGA に入力され信号処理後のデータは最大 4 ポートの FPDP、又はオプションの VXS バスに出力する事が可能です。

図 6 MISH のトータルソリューション

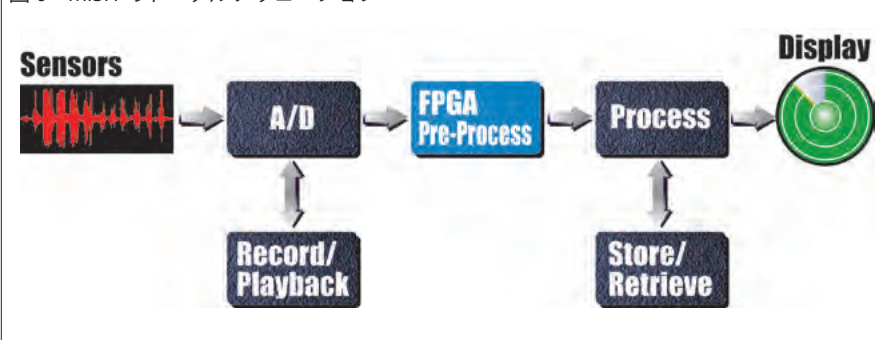
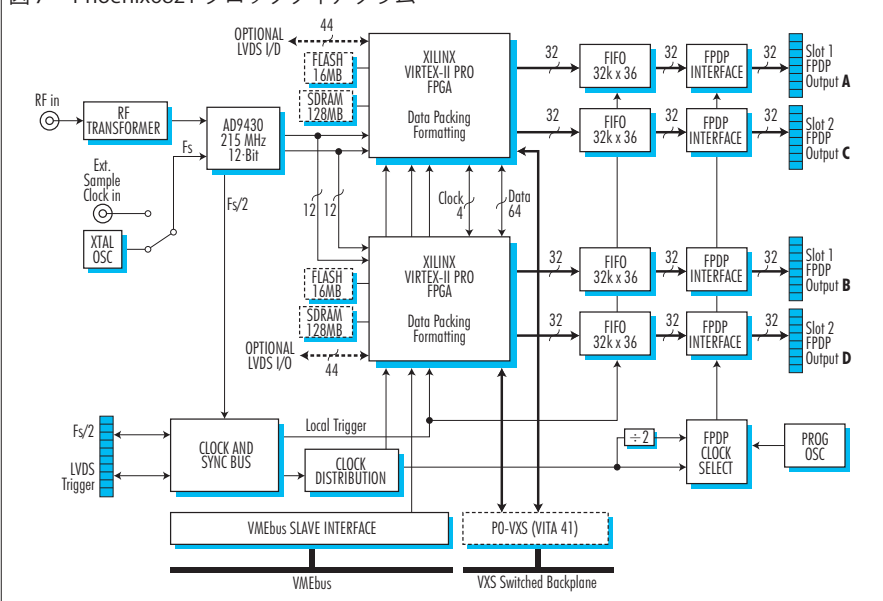


図 7 Phoenix6821 ブロックダイアグラム



FPDP へ出力する場合、受け取る側にも FPDP インターフェイスが必要となります。

ここでは FPDP 経由でデータレコーダに接続する場合を考えます。

Vortex FPDP Recorder

入出力インターフェイス：FPDP

データレート：385MB/sec

図8 Phoenix6821 高速データパス

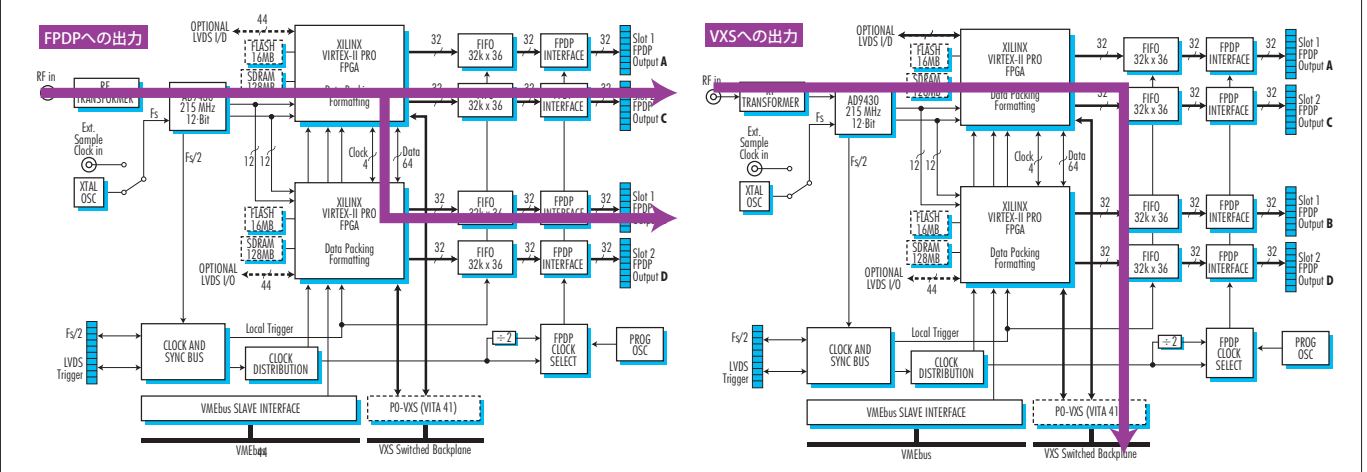
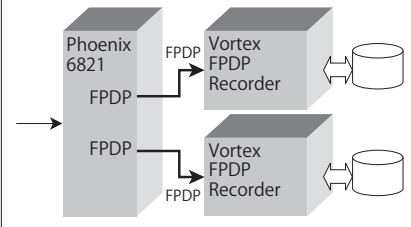


図9 Phoenix6821 と Vortex FPDP Recorderの接続



上図は Phoenix6821 と Vortex FPDP Recorder を 2 台接続した例です。6821 の FPDP 出力ポートは最大 320MB/sec です。2 台のデータレコーダを接続する事で 640MB/sec のデータレートで記録する事ができます。6821 のサンプリング周波数を 200MHz とすると、分解能が 12bit です。生データのデータレートは 400MB/sec となります。これを FPGA でリアルタイムに信号処理しながら 2 台のデータレコーダでそれぞれ 200MB/sec のデータレートでハードディスクに長時間記録する事が可能です。

一方、VXS バスを使用する場合の接続を考えてみます。



VXS バスとは VME バックプレーンを使用した高速シリアルバスの規格で ANSI/VITA 41 にて標準規格となっています。通信プロトコルは Serial RapidIO, InfiniBand, PCI Express, Gigabit Ethernet, Aurora が各社から Draft Standard として提唱されており、各社異なるプロトコルを使用しているので接続性には注意が必要です。

ここでは VXS 経由でプロセッサボードに接続する場合を考えます。

Phoenix VPF1

Processor : PowerPC 7447A/7448
FPGA node : Virtex-II Pro x 2 node
PMC site : 1 site

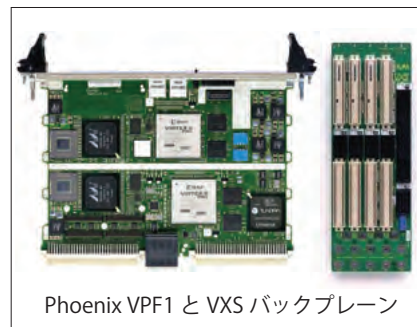
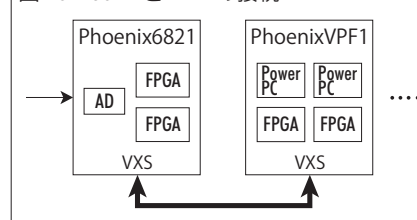


図10 6821 と VPF1 の接続



PhoenixVPF1 は PowerPC ノード及び FPGA ノードをそれぞれ 2 ノード搭載していますので、VXS 経由で受け取ったデータを FPGA で信号処理して PowerPC に渡す事ができます。更に膨大な FPGA の処理が必要な場合は VXS のスイッチボード (CSW 1) を使用する事でスケラブルに拡張が可能です。

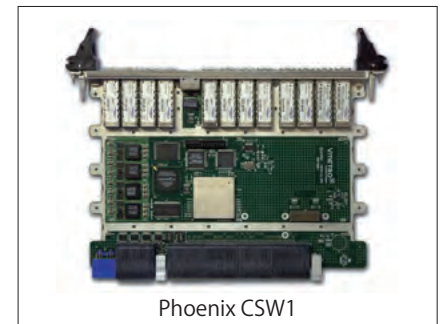
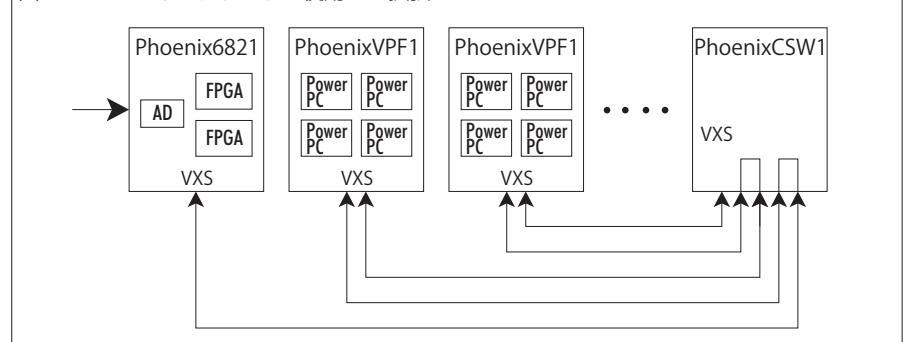


図11 VXS スwitchボードを使用した拡張



FPGA の開発に関して



従来、FPGAの開発はVHDL又はVerilogというハードウェア記述言語を使用して開発するのが主流でしたが、弊社ではVHDL、Verilog等に慣れていないお客様にはMatlab/Simulink及びSystemGeneratorを使用して開発を行っていただく下記手法をご提案しています。
ここではこの手順について詳しく説明します。



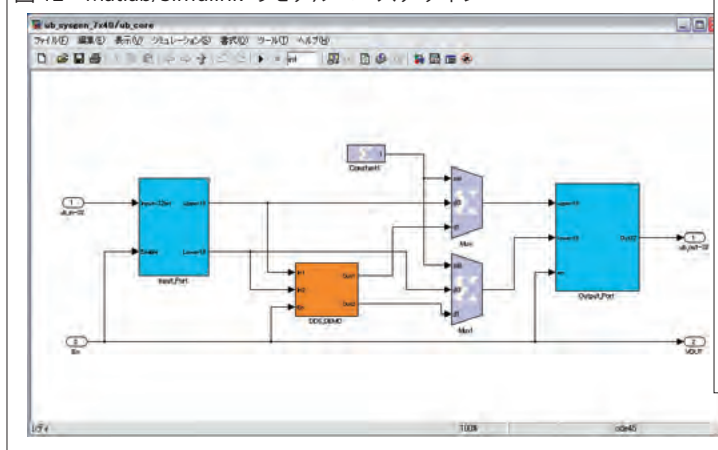
1) アルゴリズム開発

FPGAにインプリメントする為のアルゴリズムの開発はMatlab/Simulinkを使用する事で信号の流れ及び機能が見た目によりわかりやすくなります。

但し、ここで使用するブロックセットはMatlab/Simulinkで提供されているブロックセットではなくSystemGenerator (Xilinx社提供)にて提供されるブロックセット (Xilinxのロゴが記述されているもの)を使用します。

SystemGeneratorではFPGAの信号処理に必要なブロック (FFT, FIR filter, Convolution Encoder, Viterbi Decoder, Accumulator, FIFO等)はほとんど提供されていますので、これらのブロックセットを組み合わせる事で必要なアルゴリズムを実装する事ができます。(これを

図12 Matlab/Simulinkのモデルベースデザイン



Model-Based Design といいます)

上図のように機能ブロックを貼り付けて線で接続すれば必要な機能を実装でき、PC上で出力結果を確認する事ができます。出力結果はMatlab/Simulinkの波形表示ツール (Scope)を使用します。

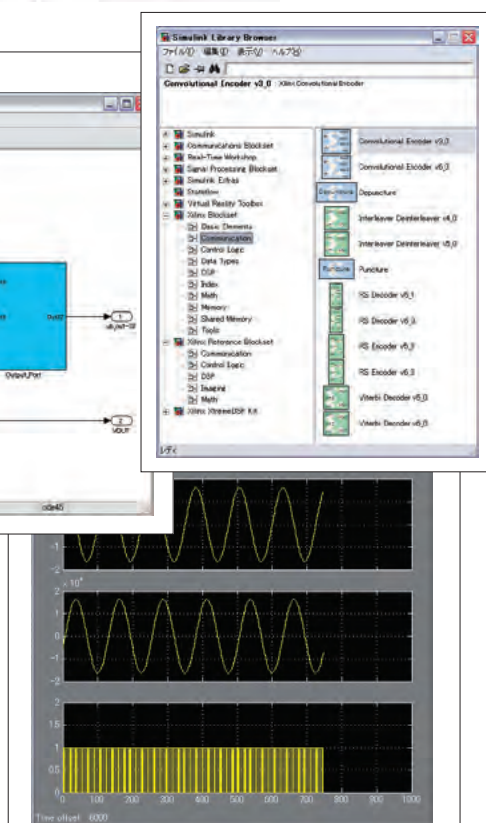


図13 Scope表示画面

2) VHDL コード自動生成

出力結果が正しく表示されたら次はVHDLコードの生成です。

VHDLコードの生成は右記ボタンをクリックする事で実行できます。

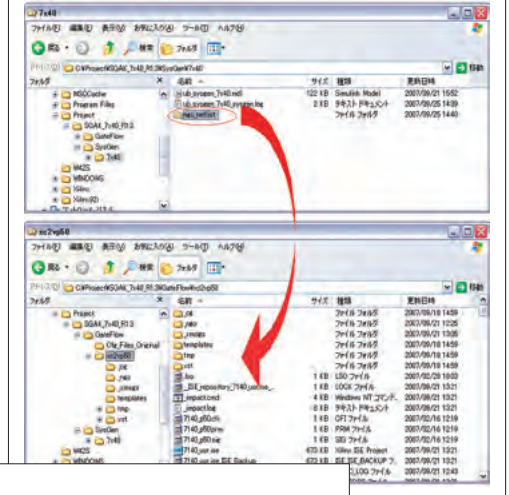
Generate ボタンをクリックするとVHDLコードが目的のフォルダに出力されます。ここではngc-netlistというフォルダにVHDレコードを出力します。



図 14 System Generator の設定画面



図 15 ngc_netlist フォルダをコピー



3) アダプテーションキット

出力されたngc_netlistフォルダをアダプテーションキット (MISH 製) で提供されている ISE プロジェクトフォルダにコピーします。

4) VHDL コードのビルド

その後VHDLコードをXilinx社ISE Foundationを使用してビルドします。

論理合成、配置配線を行い最終的にFPGAへの書き込み形式 (ビットストリーム) ファイルを生成します。

ビルドはFPGAのゲート規模にも拠りますが約1時間かかります。ビルドの時間はPCの性能に依存しますので、できる限り高スペックのPCを使用すると開発の作業効率が上がります。

例) CPU : Core2 Duo 以上

Memory : 1GB 以上

5) FPGA にダウンロード

ビルドが終了したらiMPACTを起動してビットストリーム (xxx.bit) をFPGAにダウンロードします。

Xilinx社のJTAGケーブルをボードのJTAGポートに接続して、出来上がったファイルをFPGAに書き込み、実機で動作を確認します。

また、ビットストリームをMCSファイル (.mcs) に変換すればROMに書き込む事ができます。

図 16 ISE でビルド終了後の画面

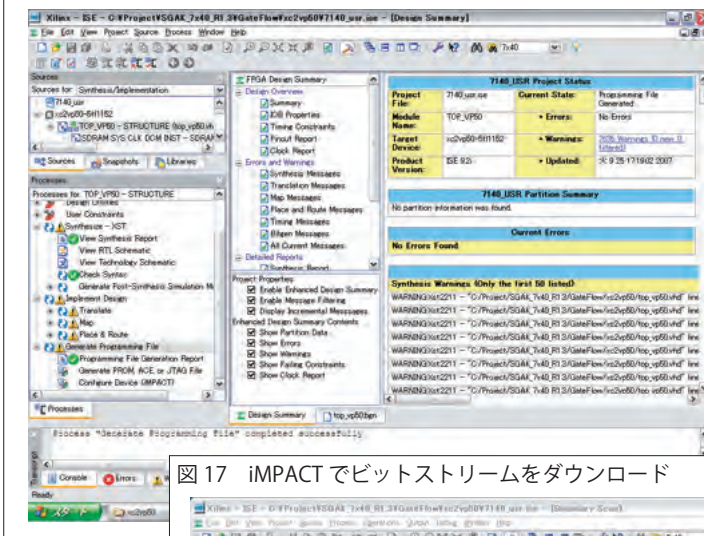


図 17 iMPACT でビットストリームをダウンロード

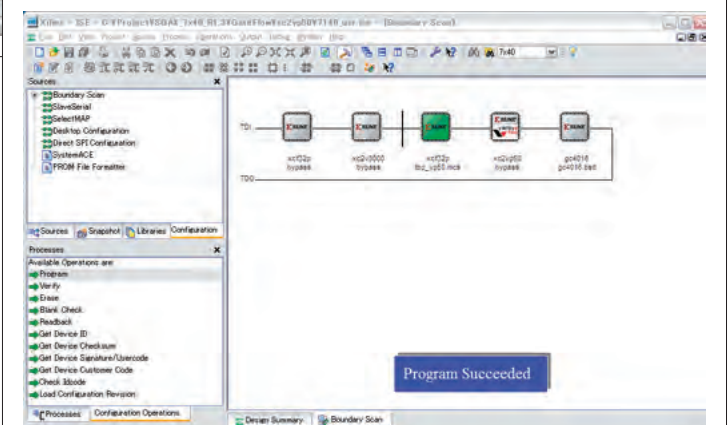
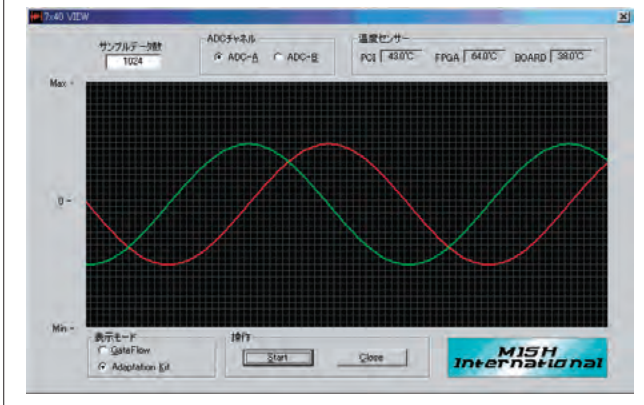


図 18 実機での動作確認



IP コア



IP コアには Xilinx 社が無料で提供している LogiCORE、またはサードパーティが提供している AllianceCORE がありますが、弊社取り扱い製品にも優れた IP コアがあります。ここでは高速信号処理用にチューンアップされた IP コアをいくつか紹介します。

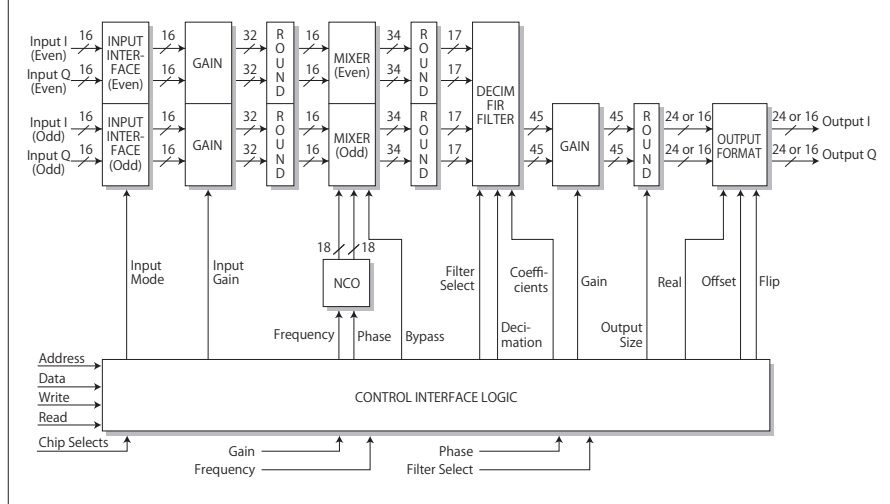
1) 広帯域超高速 DDC IP コア

PENTEK 社の提供する広帯域の IP コアは Virtex-II 又は Virtex-II Pro 用にチューニングされた高速のデジタル・ダウンコンバータ IP コアです。

入力は 32bit のポートが 2 ポートあり、入力のクロックレートは最大 148MHz (Speed Grade -7 使用時) で入力されます。入力のインターフェイスを経由してゲイン調整して ROUND を実行し NCO (Numerically Controlled Oscillator) で入力信号を 0 周波数に変換します。その後プログラマブルの FIR フィルタでデシメーションして出力段のゲイン調整回路に送ります。最終段の Formatter で real, complex, offset, inverted 等のフォーマットを選択して出力します。

この IP コアは PENTEK 社製 Model 6251, 6256, 6821, 6822, 7x40 に対応しています。

図 19 ワイドバンド・デジタル・ダウンコンバータ IP コアブロックダイアグラム

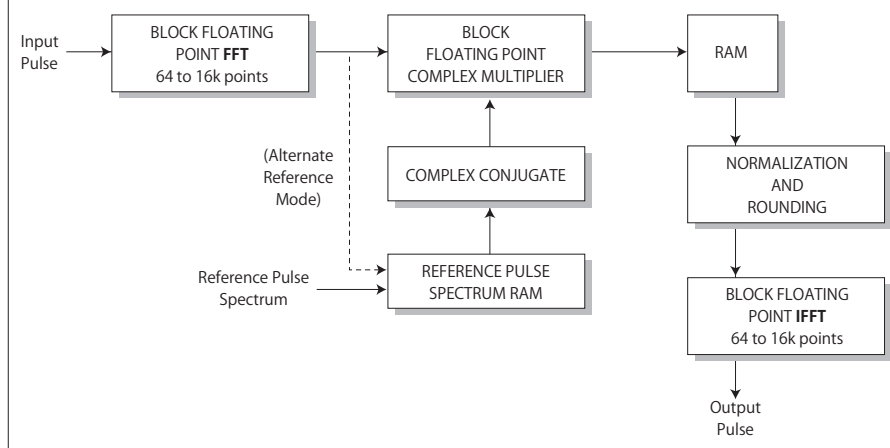


2) パルスコンプレッション IP コア

PENTEK 社の提供するレーダー・パルス・コンプレッション IP コアは Spartan-3, Virtex-II, Virtex-II Pro 用にチューニングされたレーダー向けの IP コアです。

反響により入力された信号は 64 ~ 16K ポイントでプログラム可能な浮動小数点の FFT 回路に入力されます。また、リファレンスの信号を Reference Pulse Spectrum RAM に直接入力することができます。中心部に位置する COMPLEX MULTIPLIER で入力信号とリファレンス信号を接合します。その後、NORMALIZE と ROUND を実行して出力段の IFFT (Inverse FFT) ブロックに送られ出力します。

図 20 パルスコンプレッション IP コアブロックダイアグラム



入力クロックは最大 155MHz (Speed Grade -7 使用時) で動作します。

この IP コアは PENTEK 社製 Model

6251, 6256, 6821, 6822 に対応しています。

3) 浮動小数点 FFT IP コア

弊社取扱の Floating Point FFT IP Core は Spartan-3, Virtex-II Pro, Virtex-4, Virtex-5 用にチューニングされた、IEEE-754 互換の浮動小数点演算を実行する IP コアです。

FFT コアは radix-32 をベースにしており、256 ～ 1M ポイントの浮動小数点 FFT/IFFT を最大 4 つ並列に実行する事ができます (XC4VLX160 の場合)。

Microblaze エンベデッドプロセッサがユーザープログラムでアルゴリズムを実行します。また、中央に位置する Switch Fabric はあらゆる方向からのデータの転送を可能にします。データタイプは IEEE-754 に準拠した 32bit 浮動小数点フォーマットで全ての演算を実行します。しかしながら、この IP コアは 16bit または 32bit 整数の 2 の補数の固定小数点を受け取る事も可能です。

次の表は処理性能を示したものです。TI 社の DSP と比較して 3 ～ 4 倍の処理性能を持っています。これを 4 つ並列動作させる事で更に 4 倍の処理性能を実現する事ができます。(表 1)

4) JPEG 圧縮 IP コア “CT-JPEG04”

CT-JPEG04 は ISO/IEC 10918-1 規格準拠の JPEG 圧縮 IP コアです。ターゲットデバイスは Spartan-3, Virtex-II, Virtex-II Pro, Virtex-4 等で使用可能です。10 ピクセル各 8bit のデータが 66MHz のクロックで FPGA に入力され、1028 × 1024 サイズの画像を 500 フレーム / 秒のスピードで処理する事ができます。圧縮率は 0 ~ 100 まで選択することができます。図 22 に CT-JPEG04 のブロック図を示します。

また、オリジナル画像と CT-JPEG04
で圧縮後の画像を比較してみます。

圧縮後も波しぶきの細部まで表現できている事がわかります。

図 21 浮動小数点 FFT IP コアブロックダイアグラム

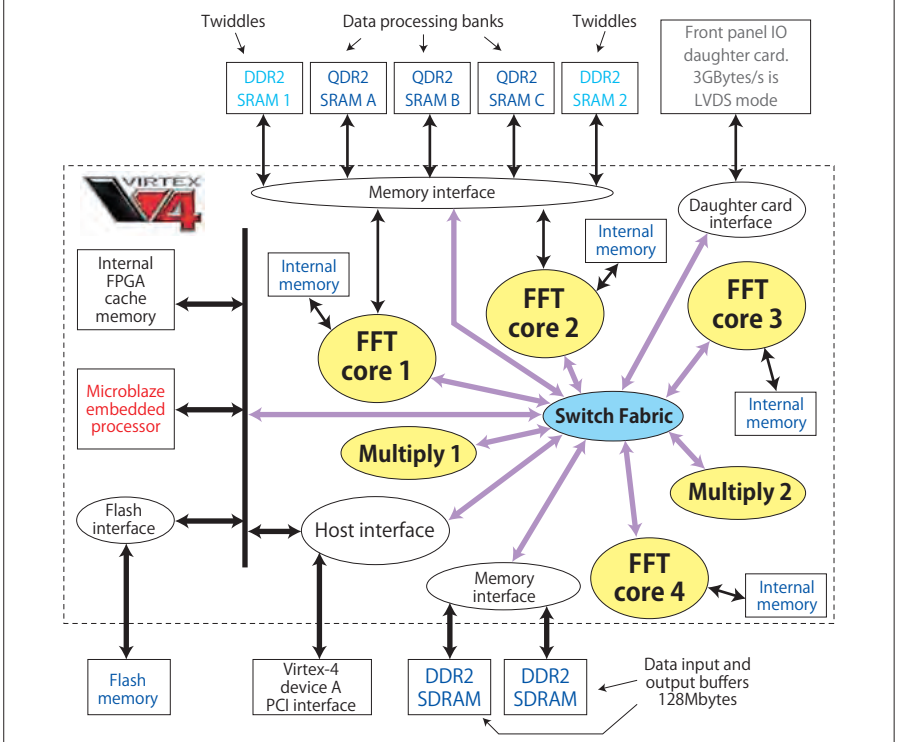
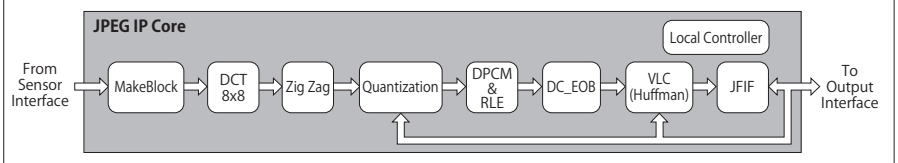


表 1 浮動小数点 FFT 処理性能比較

FFT/IFFT length	TI C6713	Single 4DSP FFT core	Quad 4DSP FFT core
256	12.3μs	3.68μs	920ns
512	27.3μs	6.24μs	1.56μs
1024	60.2μs	11.4μs	2.85μs
2k	132μs	61.4μs	15.32μs
4k	287μs	123μs	30.75μs
16k	621μs	246μs	61.5μs
32k	1.34ms	492μs	123μs
64k	2.87ms	1.31ms	328μs
128k	6.12ms	2.62ms	655μs
256k	13.4ms	5.24ms	1.31ms
512k	58.1ms	10.5ms	2.63ms
1M	122ms	21ms	5.25ms

図 22 JPEG 圧縮 IP コアブロックダイアグラム



オリジナル画像



CT-JPEG04 圧縮画像

新製品

Phoenix VPF2

最新のアーキテクチャを採用した VMETRO 社製 VPF2 は 4 つのデジタル信号処理エンジンを搭載した高速信号処理 VME ボードです。CPU と FPGA のコンビネーションで強力な信号処理性能を発揮します。また、VXS/VITA-41 マルチギガビット・シリアル・コミュニケーションによりボード間のデータ転送を高速に行う事ができます。



デュアルコア CPU

中央に位置する Freescale 社製 MPC8641D CPU は e600 PowerPC アーキテクチャを 2 個内蔵した高集積なデュアルコア・CPU エンジンです。内部ブロック図にある通り各 CPU コアは 1MB の L2 キャッシュを持っていますので大量のデータ処理を行う事ができます。

メモリー

2 つの 1 GB DDR2 SDRAM メモリーバンクが搭載されており、各メモリーバンクは e600 コアに接続されています。

イーサネット

標準で 2 ポートの Gigabit Ethernet が搭載されており、1 ポートはオプティカル、もう 1 ポートは銅の RJ45 コネクタが実装されています。また、そのうち一方はバックプレーン P2 コネクタ側と共用されています。

シリアル I/O

MPC8641D には 2 つの UART コントローラが内蔵されており、それぞれ VME P2 コネクタ側に接続されています。

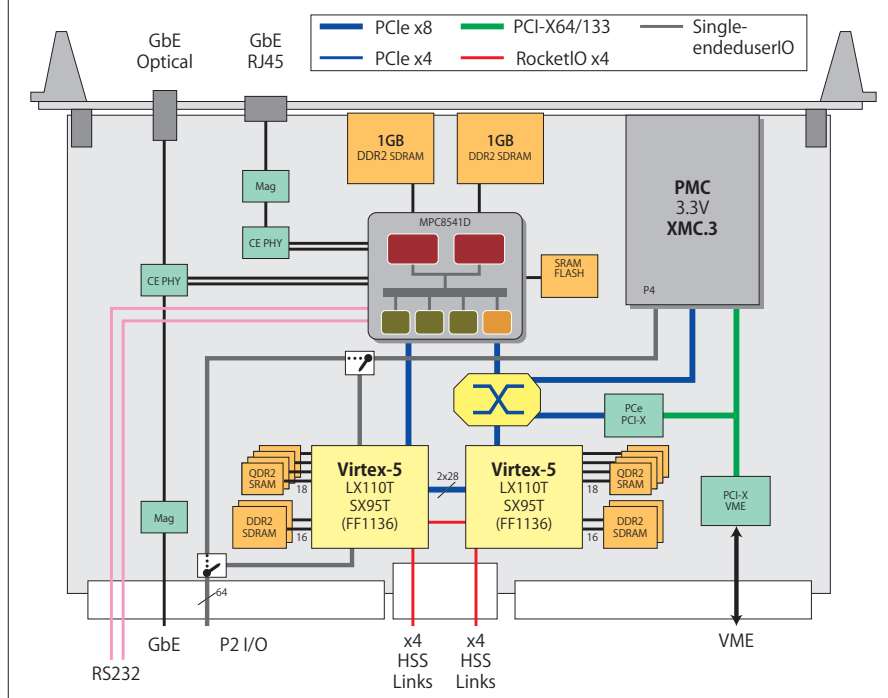
PCI Express

MPC8641D と FPGA を接続する x8 の PCI Express は各 2GB/s の広帯域のデータ転送を可能にします。

ここでは FPGA に関連する新製品を紹介します。

■ VMETRO 社製 PhoenixVPF2 Virtex-5&PowerPC 搭載高速信号処理ボード

図 23 Phoenix VPF2 ブロックダイアグラム

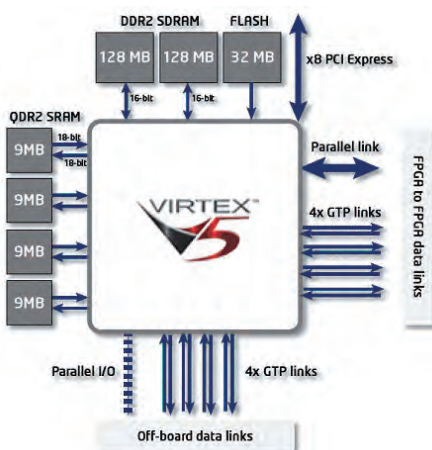


フラッシュメモリー

32MB のフラッシュメモリーはブートローダー及びアプリケーションをストアする為に搭載されています。

PMC/XMC

I/O モジュールを搭載する為のメザンサイトは PMC 及び XMC フォーマットをサポートしています。PMC サイトは 32/64bit PCI (66MHz) 及び 133MHz PCI-X をサポートしています。ボード上の PCIe/PCI-X ブリッジにより PMC と PowerPC/FPGA のデータパスを可能にします。XMC サイトは x8 の PCIe で PCIe スイッチにリンクしています。



Virtex-5 FPGA ノード

Xilinx 社製 Virtex-5 LX110T 又は SX95T の 2 つの FPGA ノードを搭載しています。SX95T は DSP アプリケーションに最適化されているのに対して LX110T は最大のロジックセルを提供します。標準でスピードグレードは 2 を使用しています。Virtex-5 は最小限の消費電力で最大限の性能を発揮します。2 つの FPGA は 4 つのギガビットシリアルリンクと 53 本のシングルエンド信号で接続されています。

下図に各 FPGA のリソースを記します。

Virtex-5 LX110T and SX95T resource comparison table

Resource	LX110T	SX95T
Slices	17,280	14,720
Logic Cells	110,592	94,208
CLB Flip-Flops	69,120	58,880
Distributed RAM (kbits)	1,120	1,520
Block RAM/FIFO (36kbits each)	148	244
Total Block RAM (kbits)	5,328	8,784
DSP48E Slices	64	640
GTP Channels RocketIO	16	16
PCIe Subsystem blocks	1	1
10/100/1000 EMACs	4	4

VPF2 は複数枚のボードを VXS で接続する事で無限の拡張性を提供します。

シリアル

パラレル

充実のラインナップ!!

バスアナライザ

PCI Express

特長

多彩なトレースビューアでデバッグ効率をアップ!!
各種機能を同時&個別利用でテストが可能

■トレース機能

- パケットデータは6種類の表示方式により
様々な角度から簡単にデバック可能

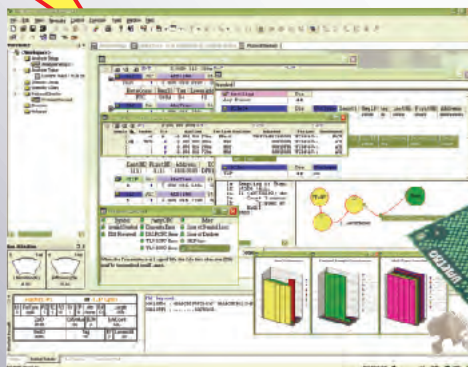
■リアルタイムプロトコルチェッカ機能

- 50種類の違反を自動検出
- 違反をトリガ条件にトレースが可能

■リアルタイムパフォーマンス測定機能

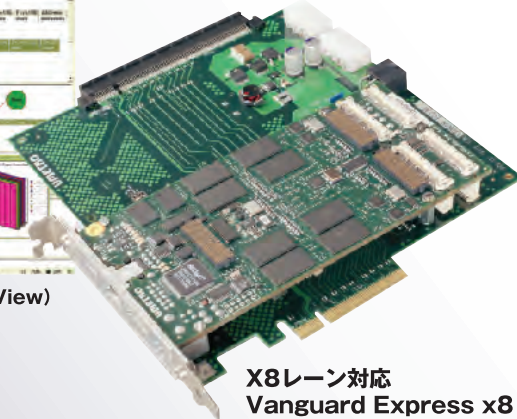
- 80種類のパフォーマンスをリアルタイム測定
- データ保存やプレイバックも簡単

■x1、x4、x8レーン対応



▲GUIソフト画面 (BusView)

PCI EXPRESS

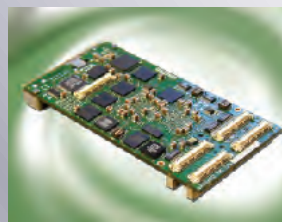
X8レーン対応
Vanguard Express x8

PCI-X & PCI

CompactPCI

PMC

VME

Vanguard-PCI
(PCIbusアナライザ)Vanguard-CPCI
(C-PCIアナライザ)Vanguard-PMC
(PMCアナライザ)Vanguard-VME
(VMEbusアナライザ)

■下記機能を同時利用することで、実践に基づいたテストが可能!!

機能1. ステート解析: 3種類のモードでハードからソフトのデバッグまで対応

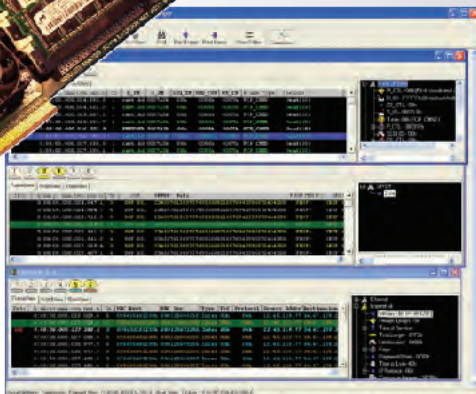
機能2. エキササイズ: アナライザをマスタやターゲットとして利用、違反サイクルの生成も可能

機能3. プロトコルチェッカ: 合計100種類以上の違反を自動監視、違反内容の確認も実波形とサンプル波形を表示させて楽々解析

機能4. パフォーマンス測定: 7種類のモードでリアルタイム表示、ユーザ設定による表示も可能

Gigabit Ethernet / Fibre Channel / シリアルFPDP / SATA / SAS

NEW

4ch SFPDP対応
Axiom

特長

1枚のボードでGigabit Ethernetを初めとするFibre ChannelやシリアルFPDP、SATA、SASなど
各種シリアル通信をサポート!! 32chまで増設可能!!

■トレース機能

- デバイス間のパケット通信データをトレース
- Frame/Word/Rawの3種類の画面表示

■トラフィックジェネレータ機能

- 各ch毎にトラフィックを生成
- 実行中のトラフィックは画面表示

■リアルタイムパフォーマンス測定機能

- 各種のパフォーマンスをリアルタイム表示

■プロトコルエディタ機能

- プロトコルの編集、追加などカスタマイズが可能

(お問合わせは)
sales@mish.co.jp
http://www.mish.co.jp/

MISH
INTERNATIONAL

株式会社ミツシュエンターナショナル
TEL 042-538-7650 FAX 042-534-1610
〒190-0004 東京都立川市柏町4-56-1

シリアル Serial シリアル Serial

パラレル Parallel パラレル Parallel

シリアル Serial シリアル Serial