

MISH TECH JOURNAL

2012
Summer

Vol. 6

Powered by



<http://www.mish.co.jp>

CONTENTS

OpenVPX
ANSI/VITA 65-2010 — P.2

OpenVPX概要
プロファイルの定義
バックプレーン・プロファイルのトポロジ
スロット・プロファイル
モジュール・プロファイル
プレーンの定義

OpenVPXのシステム構成 — P.6

OpenVPX開発プラットフォーム
3U OpenVPX FPGAカードAV103
システム構成例

FPGAの最新動向 — P.8

Xilinx 7シリーズ
PENTEK Onyxシリーズ
FMC (FPGA Mezzanine Card)

OpenVPX新製品 — P.10

Mercury Computer Systems社製
HDS6601
Creative Electronic Systems社製
RIOV-2478
Galleon社製 VPX3-D2SSD
Extreme Engineering Solutions社製
XPand1000



'12夏号特集

READY TO TAKE OFF!!

OpenVPX

VMEバスからシリアル・ファブリックへ

OpenVPX

ANSI/VITA65-2010



防衛・軍事・産業分野で主流となっている VME (Versa Module Euro card) バスは 1987 年に ANSI と IEEE によって規格化された 25 年の歴史を持つ古い規格ですが今現在も標準的に使われています。この VME バスを革新しようと規格化されたものが VPX ANSI/VITA 46 であり、その規格の相互運用性を考慮したものが OpenVPX ANSI/VITA 65 です。ここではその規格詳細を説明します。

OpenVPX 概要

まず、OpenVPX の概要を簡単に説明します。OpenVPX は 2010 年に ANSI/VITA 65 によって制定された規格で、VITA 46 の VPX 規格の相互運用性を考慮したシステムレベルの規格です。

図 1 OpenVPX の相互運用性

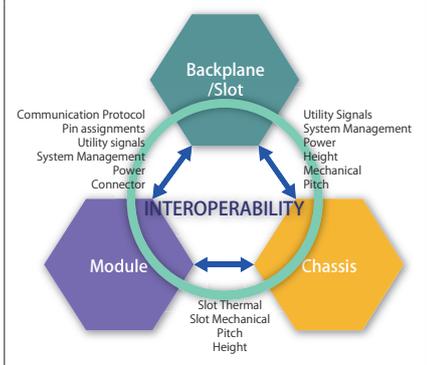
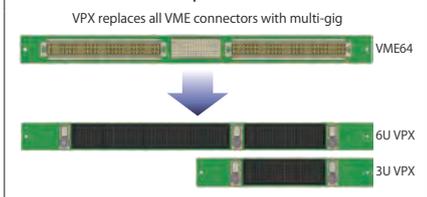


図 1 の様に、バックプレーンとモジュール (ボード) 間、モジュール (ボード) とシャーシ間、シャーシとバックプレーン間のインターフェイスがそれぞれ規定されています。これらを厳密に規定する事で OpenVPX 規格は相互運用性を高め、異なる COTS ベンダ間のシステム構築を可能にしています。

従来、VME バスを使用していたバック

図 2 VME から OpenVPX へ



プレーンはパラレルバスから全てシリアルファブリックに変更され高密度のマルチギガコネクタを採用しています。(図 2 参照)

ここではその OpenVPX 規格がどのようなものか詳しく解説したいと思います。

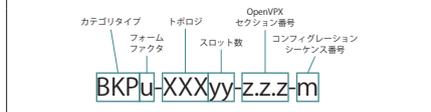
プロファイルの定義

OpenVPX 規格ではバックプレーン/スロット/シャーシ/モジュールの 4 つのプロファイルを定義して相互運用性を高めています。ここではそのプロファイルの定義について説明します。

1. Backplane Profiles

バックプレーン・プロファイルは以下の規則でプロファイル名を定義しています。

図 3 バックプレーン・プロファイル名の構成



BKPU: バックプレーン・カテゴリ

u: フォームファクタ (3U, 6U)

3=3U VPX

6=6U VPX

XXX: データプレーンのトポロジ (CEN, DIS, HYB)

CEN=Centerized トポロジ

DIS=Distributed トポロジ

HYB=Hybrid トポロジ

yy: スロット数 (01 ~ 20)

z.z.z: OpenVPX 規格セクション番号

m: シーケンス番号 (1 ~ n)

OpenVPX 規格の中心となるのがバックプレーン・プロファイルです。このプロファイルは 2 つの要素を含んでいます。それはボード間通信の為のバックプレーン・トポロジと各スロットタイプにおけるスロット接続です。バックプレーン・プロファイルはバックプレーン上のスロット位置のスロット・プロファイルを参照し、各スロット間のパイプ (通信路) の電気的特性がそれぞれどのように相互接続するかを定義します。

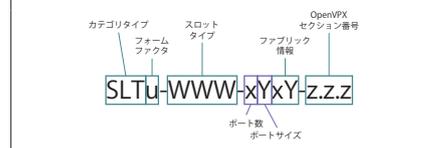
OpenVPX 規格で定義されたバックプレーン・プロファイルは、特にスタンダード・ディベロップメント・シャーシ・プロファイルで使用されます。但し、そのアプリケーションについては規定していません。

バックプレーン・プロファイルは、どのピン (あるいはピンの組み合わせ) がバックプレーンの中でルーティングされ、またどのピンがバックプレーンの背面の RTM (リア・トランジション・モジュール) コネクタで利用されるかを定義します。バックプレーン・プロファイルは、さらにスロット間ピッチも定義しています。

2. Slot Profiles

スロット・プロファイルは以下の規則でプロファイル名を定義しています。

図 4 スロット・プロファイル名の構成



SLT: スロット・カテゴリ

u : フォームファクタ (3U, 6U)
 3=3U VPX
 6=6U VPX
 WWW : スロットタイプ (BRG, PAY, PER, STO, SWH)
 BRG=ブリッジカード
 PAY=ペイロードカード
 PER=ペリフェラルカード
 STO=ストレージカード
 SWH=スイッチカード
 x : ポート数 (1 ~ n)
 Y : ポートサイズ (U, T, F, D, Q, O, V)
 U=UTP (Ultra- Thin Pipe)
 T=TP (Thin Pipe)
 F=FP (Fat Pipe)
 D=DFP (Double Fat Pipe)
 Q=QFP (Quad Fat Pipe)
 O=OFP (Octal Fat Pipe)
 =VME (VMEbus)

※xY については定義された数を繰り返す
 z.z.z : OpenVPX 規格セクション番号
 スロット・プロファイルはコネクタ・タイプ、およびピン (あるいはピンの組み合わせ) がそれぞれどのように割り付けられるかを定義します。シングルエンド・ピンは、一般的に電源・GND・システム個別の信号およびシステム管理のためのユーティリティ・プレーンに割り付けられます。差動ペアのピンは一般的にコントロール、データおよびエクспанションと呼ばれる、3つのコミュニケーション・プレーンに割り付けられ、「パイプ」を形成するためにひとまとめにされます。また、スロット・プロファイルはどのピンがユーザ定義されたピンかを決めます。スロット・プロファイルはペイロードかスイッチのいずれかに分類されます。ペイロード・スロットはさらに、周辺装置、ストレージ、ブリッジなどのサブカテゴリーに分類されます、但し制限はありません。

3. Standard Development Chassis Profiles

スタンダード・ディベロップメント・シャーシ・プロファイルは以下の規則でプロファイル名を定義しています。

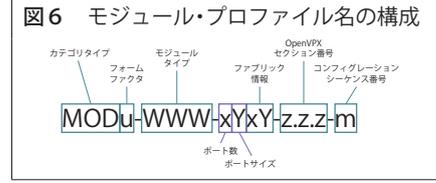


CHAS : スタンダード・ディベロップメント・シャーシ・カテゴリ
 6 : フォームファクタ =6U
 UUU : スタンダード・ディベロップメント・シャーシ・タイプ (RCK, TOW, OPN)
 RCK=19" EIA ラックマウント
 TOW=スタンドアロン・タワー
 OPN=オープン・フレーム
 vv : スロット数 (06, 10, 16)
 06=6 スロット
 10=10 スロット
 16=16 スロット
 WWW : 電源 (3PA, 3PB, 1PA, 1PB)
 3PA=3 相, 208VAC, 50/60Hz
 3PB=3 相, 400VAC, 50Hz
 1PA= 単相, 110/220VAC, 50/60Hz
 1PB= 単相, 230VAC, 50Hz
 x : 冷却タイプ (A, C)
 A=VITA 48.1 空冷
 C=VITA 48.2 コンダクションクール
 YYY : バックプレーン電源オプション (12H, 5VH, VEN)
 12H=12V 電源
 5VH=5V 電源
 VEN=サプライヤ定義
 z : シャーシ・マネージャ (N, Y)
 N=なし
 Y=あり

bpn : バックプレーン・プロファイル名 (BKP6-XXXyy-z.z.z-n)
 OpenVPX の規格書では、スタンダード・ディベロップメント・シャーシはプラグインモジュールのシステム開発およびテストをターゲットとしています。OpenVPX では、スタンダード・ディベロップメント・シャーシを大・中・小の3つのサイズで定義します。スタンダード・ディベロップメント・シャーシはさらに6Uか3Uの高さ、強制空冷あるいはコンダクションクールのモジュールを考慮しています。また、全てのシャーシ・プロファイルにおいて、ユーザ定義ピンは殆どがリア・トランジション・モジュールを使用することを想定しています。

4. Module Profiles

モジュール・プロファイルは以下の規則でプロファイル名を定義します。
 MOD : モジュール・カテゴリ
 u : フォームファクタ (3U 又は 6U)
 3= 3U VPX, 6=6U VPX



WWW : モジュール・タイプ (BRG, PAY, PER, STO, SWH)
 BRG=ブリッジカード
 PAY=ペイロードカード
 PER=ペリフェラルカード
 STO=ストレージカード
 SWH=スイッチカード
 x : ポート数 (1 ~ n)
 Y : ポートサイズ (U, T, F, D, Q, O, V)
 U=UTP (Ultra- Thin Pipe)
 T=TP (Thin Pipe)
 F=FP (Fat Pipe)
 D=DFP (Double Fat Pipe)
 Q=QFP (Quad Fat Pipe)
 O=OFP (Octal Fat Pipe)
 V=VME (VMEbus)

※xY については定義された数を繰り返す
 z.z.z : OpenVPX 規格セクション番号
 モジュール・プロファイルは、対応するスロット・プロファイル、コネクタ・タイプ、モジュールの高さ (6U/3U) および冷却方法 (強制空冷/コンダクション) に定義されているように、各パイプでどんな通信プロトコルを使用することができるかを定義します。

これら4つのプロファイルは図7の様に、相互に関連しています。

バックプレーン・プロファイルのトポロジ

OpenVPX はペイロードカード、スイッチカード、ペリフェラルカードなどの組み合わせでさまざまなトポロジを構成する事ができます。ここではそのトポロジ (接続形態) について説明します。

CEN-Centralized

このトポロジはスター接続で、中央に1つ又は複数のスイッチを置いた構成です。
 ・6U 16-slot : BKP6-CEN16-11.2.2-n (2枚のスイッチカード + 14枚のペイロードカード)
 ・6U 5-slot : BKP6-CEN05-11.2.5-n (1枚のスイッチカード + 4枚のペイロードカード)
 ・6U 12-slot : BKP6-CEN12-11.2.9-n (2

図7 各プロフィール間の関連図

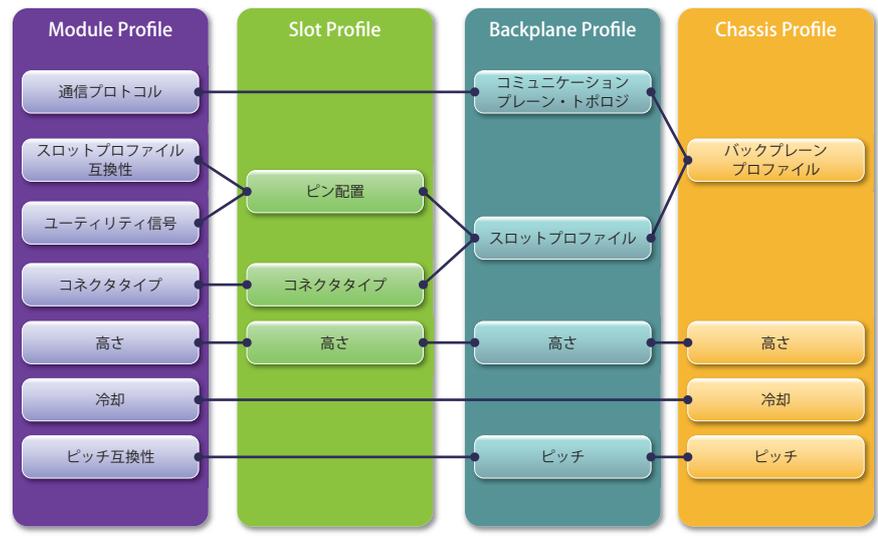


図9 SLT6-PAY-4F1Q2U2T-10.201のロット・プロフィール

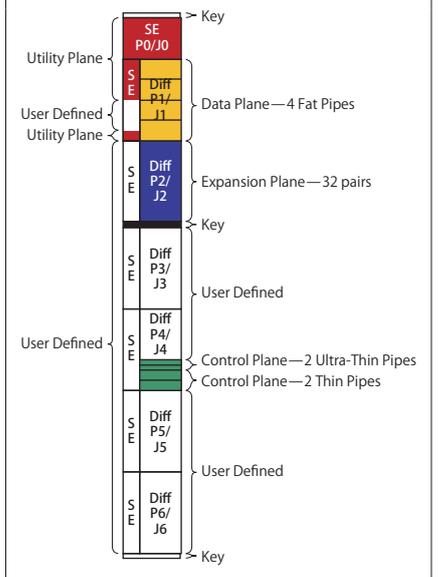
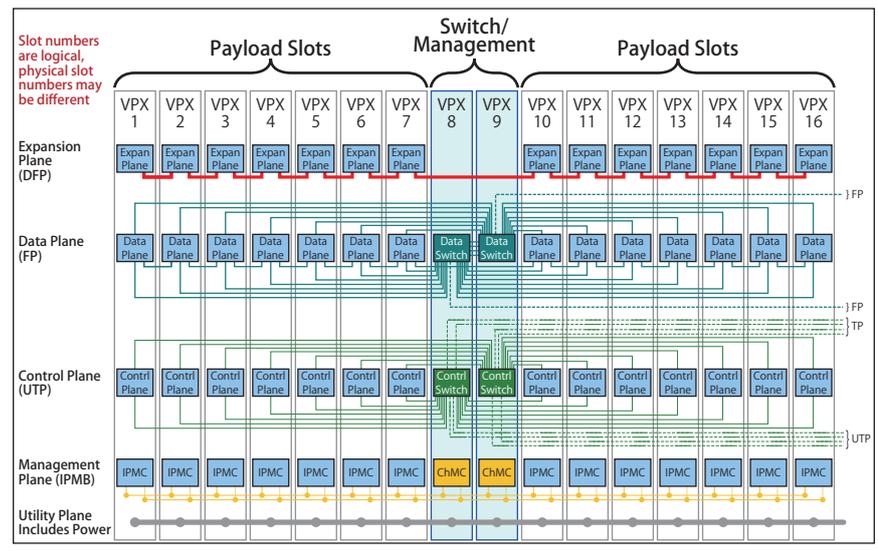


図8 6U 16-slot BKP6-CEN16-11.2.2-nのセントラライズ・トポロジ



- 枚のスイッチカード+ 10枚のペイロードカード)
- 3U 10-slot : BKP3-CEN10-15.2.4-n (2枚のスイッチカード+ 8枚のペイロードカード)
- 3U 6-slot : BKP3-CEN06-15.2.12-n (階層スイッチ構成)
これ以外にスイッチスロットを使用せず、ペイロードスロットにSBCなどを使用して複数のペリフェラルカードを接続する構成もあります。
- 6U 9-slot : BKP6-CEN09-11.2.13-n (1枚のペイロードカード+ 8枚のペリフェラルカード)
- 3U 3-slot : BKP3-CEN03-15.2.9-n (1枚のペイロードカード+ 2枚のペリフェラルカード)

- 3U 6-slot : BKP3-CEN06-15.2.10-n (1枚のペイロードカード+ 5枚のペリフェラルカード)
 - 3U 9-slot : BKP3-CEN09-15.2.11-n (1枚のペイロードカード+ 8枚のペリフェラルカード)
- これ以外に、DIS=Distributed トポロジ、HYB=Hybrid トポロジがありますがここでの説明は省略します。

スロット・プロフィール

ここでは6Uスロット・プロフィールの例をいくつか紹介します。

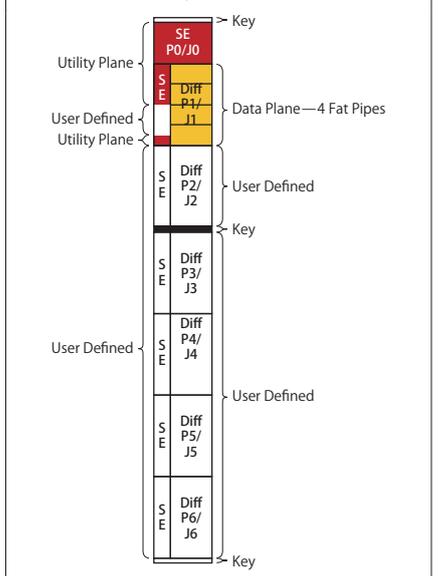
1. ペイロード・スロット・プロフィール SLT6-PAY-4F1Q2U2T-10.201

上から、

- P0/J0 : ユティリティ・プレーン
- P1/J1 : データ・プレーン (4x FP) 及び ユティリティ・プレーンの一部、ユーザ定義
- P2/J2 : エクスパンション・プレーン (32 pairs)、ユーザ定義
- P3/J3 : ユーザ定義
- P4/J4 : ユーザ定義、コントロール・プレーン (2x UTP, 2x TP)
- P5/J5 : ユーザ定義
- P6/J6 : ユーザ定義

2. ペリフェラル・スロット・プロフィール SLT6-PER-4F-10.3.1

図10 SLT6-PER-4F-10.3.1のロット・プロフィール



- 上から、
- P0/J0：ユーティリティ・プレーン
- P1/J1：データ・プレーン（4x FP）及びユーティリティ・プレーンの一部、ユーザ定義
- P2/J2：ユーザ定義
- P3/J3：ユーザ定義
- P4/J4：ユーザ定義、コントロール・プレーン（2x UTP, 2x TP）
- P5/J5：ユーザ定義
- P6/J6：ユーザ定義

モジュール・プロファイル

ここではモジュール・プロファイルの例を紹介します。

1. 6U ペイロードカード

MOD6-PAY-4F1Q2U2T-12.2.1-n

このモジュール・プロファイル "MOD6-PAY-4F1Q2U2T-12.2.1-n" は、前述のロット・プロファイル "SLT6-PAY-4F1Q2U2T-10.2.1" に対応します。

表 1 は 6U ペイロードカードのモジュール・プロファイルです。

このプロファイルではデータ・プレーンに 4 本の Fat Pipe を定義しており、この Fat Pipe でボード間的高速シリアル通信を行います。また、エクステンション・プレーンには PCIe Gen1 又は Gen2 を定義し、コントロール・プレーンでは 1000BASE-BX 又は 1000BASE-T を定義してボード間の通信を行います。

2. 6U ペリフェラルカード

MOD6-PER-4F-12.3.1-n

このモジュール・プロファイル "MOD6-PER-4F-12.3.1-n" は、前述のロット・プロ

ファイル "SLT6-PER-4F-10.3.1" に対応します。下表は 6U ペリフェラルカードのモジュール・プロファイルです。

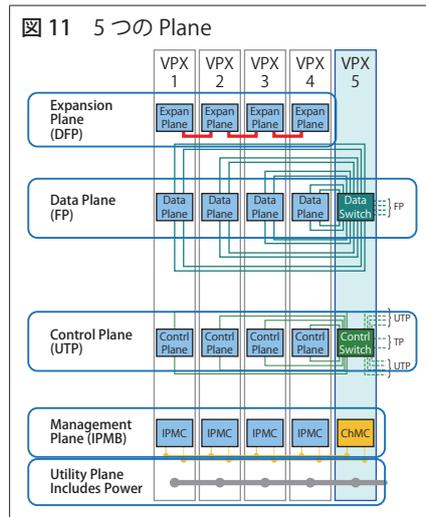
表 2 MOD6-PER-4F-12.3.1-n のモジュール・プロファイル

Profile Name	Data Plane 4FP			
	DP01	DP02	DP03	DP04
MOD6-PER-4F-12.3.1-1	SRIO 1.3 at 3.125Gbaud			
MOD6-PER-4F-12.3.1-2	PCIe Gen1			
MOD6-PER-4F-12.3.1-3	PCIe Gen2			
MOD6-PER-4F-12.3.1-4	10GBASE-BX4			
MOD6-PER-4F-12.3.1-5	10GBASE-KX4			
MOD6-PER-4F-12.3.1-6	SRIO 2.0 at 5.0Gbaud			
MOD6-PER-4F-12.3.1-7	SRIO 2.0 at 6.25Gbaud			
MOD6-PER-4F-12.3.1-8	SRIO 2.1 at 5.0Gbaud			
MOD6-PER-4F-12.3.1-9	SRIO 2.1 at 6.25Gbaud			

プレーンの定義

OpenVPX では Utility/Management/Control/Data/Expansion の 5 つの Plane が定義されています。

図 11 5 つの Plane



Utility Plane：システム内の電源、クロック、リセットの接続を定義します。

Management Plane：ヘルスマニタリ

ング、インベントリ管理、イベントログ、故障検出などを定義します。

Control Plane：トラフィックを制御する為、システムレベルでの通信経路を定義します。
Data Plane：システム内の、ピア・ツー・ピア、高スループットのデータ転送を定義します。
Expansion Plane：システム内の特定の 2 つのモジュール間でのデータ共有を意図したデータ転送機構を定義します。

これら 5 つのプレーンの定義でモジュール(ボード)間の相互運用を実現しています。

この様にバックプレーン、シャーシ、モジュールが固有のプロファイルを持っており、それらを正しく組み合わせる事でシステムとしての相互運用を可能にしたのが OpenVPX 規格 "ANSI/VITA 65" です。ここでは、規格の全てを説明する事はできませんので詳細は規格書をご確認いただきたいと思います。

また、ANSI/VITA 65 の拡張としてバックプレーン上を光で通信する VITA 66 又は RF 信号を通す VITA 67 で更に高速な通信が期待されます。

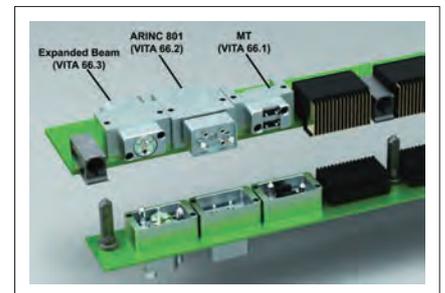


表 1 MOD6-PAY-4F1Q2U2T-12.2.1-n のモジュール・プロファイル

Profile Name	Data Plane 4FP				Expansion Plane	Control Plane 2UTPs		Control Plane 2TPs	
	DP01	DP02	DP03	DP04		CPUTp01	CPUTp02	CPTp01	CPTp02
MOD6-PAY-4F1Q2U2T-12.2.1-1	SRIO 1.3 at 3.125Gbaud				PCIe Gen1	1000BASE-BX		1000BASE-T	
MOD6-PAY-4F1Q2U2T-12.2.1-2	SRIO 1.3 at 3.125Gbaud				PCIe Gen2	1000BASE-BX		1000BASE-T	
MOD6-PAY-4F1Q2U2T-12.2.1-3	PCIe Gen1				PCIe Gen1	1000BASE-BX		1000BASE-T	
MOD6-PAY-4F1Q2U2T-12.2.1-4	PCIe Gen2				PCIe Gen2	1000BASE-BX		1000BASE-T	
MOD6-PAY-4F1Q2U2T-12.2.1-5	10GBASE-BX4				PCIe Gen1	1000BASE-BX		1000BASE-T	
MOD6-PAY-4F1Q2U2T-12.2.1-6	10GBASE-BX4				PCIe Gen2	1000BASE-BX		1000BASE-T	
MOD6-PAY-4F1Q2U2T-12.2.1-7	10GBASE-KX4				PCIe Gen1	1000BASE-BX		1000BASE-T	
MOD6-PAY-4F1Q2U2T-12.2.1-8	10GBASE-KX4				PCIe Gen2	1000BASE-BX		1000BASE-T	
MOD6-PAY-4F1Q2U2T-12.2.1-9	SRIO 2.0 at 5.0Gbaud				PCIe Gen2	1000BASE-BX		1000BASE-T	
MOD6-PAY-4F1Q2U2T-12.2.1-10	SRIO 2.0 at 6.25Gbaud				PCIe Gen2	1000BASE-BX		1000BASE-T	
MOD6-PAY-4F1Q2U2T-12.2.1-11	SRIO 2.1 at 5.0Gbaud				PCIe Gen2	1000BASE-BX		1000BASE-T	
MOD6-PAY-4F1Q2U2T-12.2.1-12	SRIO 2.1 at 6.25Gbaud				PCIe Gen2	1000BASE-BX		1000BASE-T	

OpenVPXのシステム構成



従来、防衛・産業分野で主流となっていた VME バスが今、大きな変革の時期を迎えています。高速シリアルファブリックと言うとシステムを構成するのが難しいというイメージがありますが、ここではその具体的な構成例を紹介し、OpenVPX のシステム構成を理解していきたいと思ひます。

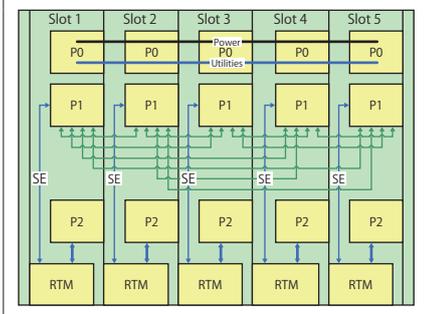
OpenVPX 開発プラットフォーム

ApisSys 社製 OpenVPX 5 スロット開発シャーシ



写真は ApisSys 社製 3U OpenVPX の 5 スロット開発シャーシです。バックプレーンはデータ・プレーンに 4 本の FP をルーティングしており全てのスロット間で PCIe x4 の通信が可能となっています。

図 12 ApisSys 社 3U バックプレーン・トポロジ



3U OpenVPX FPGA カード AV103

AV103 は OpenVPX に対応した 3U の FPGA カードです。

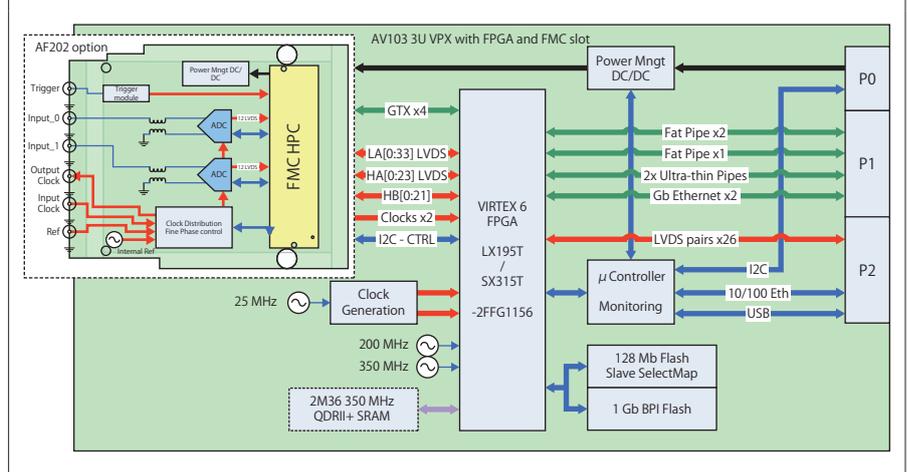
P1 の Data Plane には 2 本の FP が実装され、更に Expansion Plane に 1 本の

AV103 3U OpenVPX FPGA カード



FP が実装されています。また、Control Plane にある 2 本の UTP で GbE 経路での制御を可能にしています。さらに、2 本の UTP にユーザ定義のピンが準備されています。これらのシリアル信号は全て中央に位置する Xilinx Virtex-6 FPGA に接続されており、フロントエンドからの高速信号をハンドリングします。P2 側には制御用の I2C 及び Ethernet、USB インターフェイスが実装されていますので RTM 経路で PC からの制御が可能です。下図にボードの内部ブロック図を示

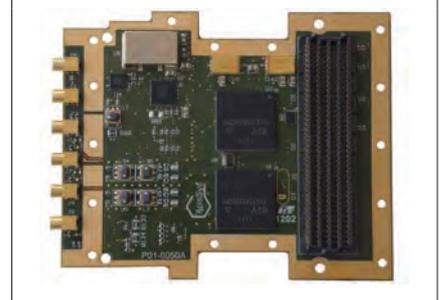
図 13 AV103 ボードブロック図



します。

ボード上には FMC スロットを搭載しており、オプションの FMC A/D カードを搭載する事でアナログ RF 信号入力用のペリフェラル・カードとして使用することができます。

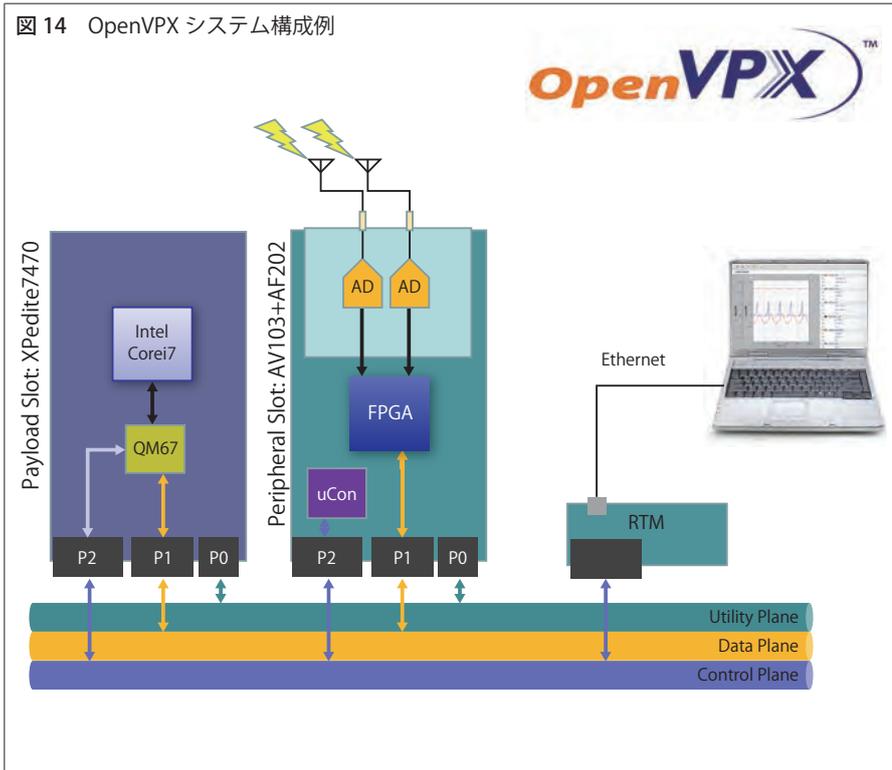
AF202 A/D FMC カード



システム構成例

図 14 は 3U OpenVPX システムの構成例です。ペイロード・スロットに Extreme

図 14 OpenVPX システム構成例



Engineering 社製 XPedite7470 Core i7 CPU ボードをインストールし、ペリフェラル・スロットに ApisSys 社製 AV103 FPGA ボードをインストールした構成です。AV103 は 1 枚のみで使用することができ、RTM を経由して PC から制御する事でアナログ信号を取得する事ができます。AV103 は大規模の Virtex-6 FPGA を搭載していますので FPGA 内にユーザーロジックを実装する事が可能です。この場合、信号処理した結果を PC 側に転送することもできます。また、FPGA 内に PCIe インターフェイスを実装することで XPedite7470 へのデータ転送が可能となります。

各ボードの仕様は表 3、表 4、表 5 の通りです。

弊社ではこの OpenVPX 開発プラットフォームをデモ機として準備しています。是非一度、OpenVPX の素晴らしさを体感してみたいかがでしょうか。

表 3 XPedite7470 仕様

XPedite7470	仕様	
CPU	Intel Core i7 クアッドコアプロセッサ	
メモリー	8GB DDR3 1333 ECC SDRAM	
	32MB NOR Flash	
	16GB NAND Flash	
グラフィック	3D グラフィックコントローラ, Dual DVI-D	
VPX	P0	I2C ポート
	P1	x4 PCIe FP to P1.A x4 PCIe FP to P1.B Two 1000BASE-BX Gigabit Ethernet (or one 10/100/1000BASE-T port to P1 and one port to P2) X12d XMC P16 I/O
	P2	1 10/100/1000Mbps Gigabit Ethernet (オプション) 2 SATA ports (オプション) 2 USB 2.0 ports (オプション) 最大 2 RS-232/422/485 シリアル 3.3V GPIO (オプション) 2DVI グラフィックポート (オプション) 1 オーディオポート
	PrPMC/XMC サイト	32bit, 33MHz PCI bus (PMC インターフェイス) x4 PCIe port (XMC インターフェイス) X12d P16 I/O サポート
ソフトウェアサポート	Linux BSP Wind River VxWorks BSP QNX Neutrino BSP Green Hills INTEGRITY BSP Windows drivers	
物理的仕様	3U VPX-REDI コンダクション又はエアクール・フォームファクタ 寸法: 100mm x 160mm 0.8 インチピッチ (半田面カバー無し) 0.85 及び 1.0 インチピッチ (半田面カバーあり)	
耐環境仕様	ラガダイズレベル 1, 3, 5 対応	

表 4 AF202 仕様

AF202	仕様	
アナログ入力部	AC カップリング 50 Ω インピーダンス MMCX コネクタ	
AD コンバータ	2 チャンネル 分解能: 12bit サンプリング周波数: 1.33 ~ 1.5GHz 又は 1.285 ~ 1.415 GHz ※アセンブリオプションで選択	
性能	1.5Gsp/s Fin=500MHz -1dBFS	SNR: 57dBFS SFDR: 65dBc ENOB: 9.1bits
	1.5Gsp/s Fin=1GHz -1dBFS	SNR: 58dBFS SFDR: 65dBc ENOB: 9.3bits
クロック	内部クロック	1.33 ~ 1.5GHz 又は 1.285 ~ 1.415GHz ※アセンブリオプションで選択
	外部クロック	周波数: 500MHz ~ 1.5GHz レベル: 10dBm ~ 15dBm MMCX コネクタ, 50 Ω
	外部出力クロック	周波数: サンプリングクロック レベル: 0dBm MMCX コネクタ, 50 Ω
	外部リファレンス	周波数: 10MHz ~ 100MHz レベル: 10dBm ~ 15dBm MMCX コネクタ, 50 Ω
トリガー	レベル: 0 ~ 2Vpp MMCX コネクタ	
FMC インターフェイス	HPC サポート	
ソフトウェアサポート	Windows XP 及び 7 Linux	
ファームウェアサポート	VHDL サンプルコード Xilinx ISE 13 対応	
耐環境仕様	エアクール: EAC4 及び EAC6 コンダクションクール: ECC3	

表 5 AV103 仕様

AV103	仕様	
FPGA	Xilinx Virtex-6 LX195T/LX240T/SX315T/SX475T	
メモリー	2M36 QDR II + SRAM	
	128Mbit SelectMAP Flash 1Gbit BPI Flash	
VPX	P0	I2C port
	P1	Two FP for Data Plane One FP for Expansion Plane Two UTP for Control Plane Two UTP for User Defined
	P2	USB 2.0 10/100 Ethernet 28 LVDS ペア
FMC	VITA 57 FMC 規格互換 HPC 対応 (最大差動 80 ペア) 4 本の高速シリアルリンク 6.25Gbit/s (full duplex)	
マイクロコントローラ	32bit 80MHz マイクロコントローラ USB2.0 及び 10/100Ethernet サポート	
ファームウェア	VHDL サンプルコード Xilinx ISE12 対応	
ソフトウェアサポート	Windows XP Windows 7 Linux	
耐環境仕様	エアクール: EAC4 及び EAC6 コンダクションクール: ECC3 コンダクションクール: ECC4 (consult factory)	

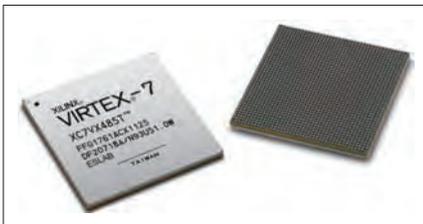




FPGAの 最新動向

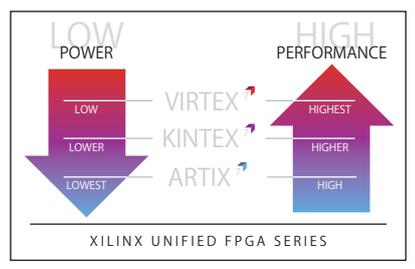
FPGAは半導体の製造プロセスの微細化に伴って年々進化を遂げています。Xilinx社は28nmの最新プロセスを使って低消費電力を実現した7シリーズを順次リリースしていきます。7シリーズはARTIX, KINTEX, VIRTEXの3つのグレードでリリースされます。ここではFPGAの最新動向について触れてみたいと思います。

Xilinx 7シリーズ



Xilinx社最新の7シリーズは、低消費電力低コストのARTIX、低消費電力でVirtex-6と同等の性能を兼ね備えたKINTEX、大容量・最高性能のVIRTEXの3つのグレードでリリースされます。ARTIXは従来のSpartan-6を更に低消費電力にして更に低価格を実現したモデルです。KINTEXは従来のVirtex-6を更に低消費電力にして価格と性能のバランスのとれたモデルです。VIRTEXはVirtex-6を更に大容量にして高速シリアル通信の速度なども向上した最高性能のハイエンドモデルです。

図15 Xilinx 7シリーズ



弊社製品は高速でA/Dサンプリングする事を得意としており、FPGAに関してもその広帯域の信号を受け取って、高速な信号処理を実装して使用する事が殆どです。よって、7シリーズに関

しても最高性能のVIRTEXを選択した製品が今後順次リリースされてきます。

PENTEK Onyxシリーズ



PENTEK社は市場に先駆けてVirtex 7を搭載した組み込み用A/Dボード"Onyxシリーズ"をリリースいたしました。Onyxは既存のVirtex 6を搭載したシリーズ"Cobaltシリーズ"の上位機種的位置付けとなります。現在リリースされているOnyxシリーズのモデルは、
Model 71760 : XMC
Model 72760 : 6U cPCI (4CH)
Model 73760 : 3U cPCI
Model 74760 : 6U cPCI (8CH)

Model 78760 : PCIe

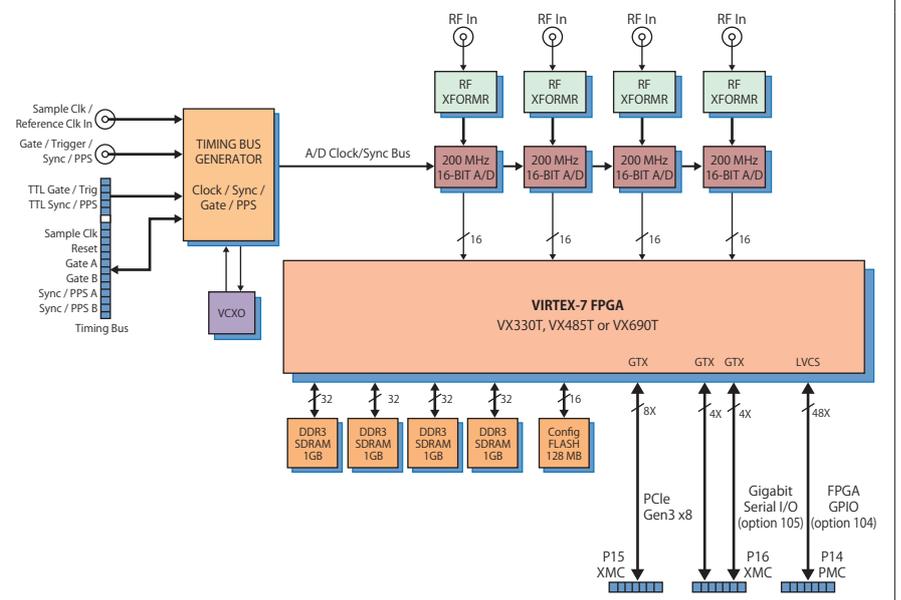
Model 53760 : 3U VPX

の6種類がリリースされています。全てのモデルはModel 71760の設計をベースとしており、ユーザの用途に合わせてプラットフォームを選択できる様バリエーションを取り揃えています。



図16にModel 71760のブロック図

図16 Model 71760 ブロックダイアグラム



を紹介します。

入力は4CHのアナログ信号入力端子があり、4CHはそれぞれ200MHz、16bitのADコンバータで同時サンプリングされVirtex 7 FPGAに入力されます。Virtex 7は標準でVX330Tが実装されていますが、オプションでVX485T又はVX690Tを選択する事も可能です。FPGAの外にはA/D取得データ格納用として1GBのDDR3 SDRAMが4バンク実装されていますので高速サンプリングデータを取りこぼす事無く保存することができます。ホストインターフェイスは8レーンのPCI Express (Gen3)を実装しており、高速にホスト側のシステムメモリに転送することができます。また、XMCのP16にはギガビットの高速シリアルが出力されていますので、FPGA内にSRIO, 10GigEなどのIPコアを実装することでバックプレーンのシリアルファブリックを通してストレージカードなどにデータを転送することも可能です。無線通信・レーダー・デジタルビームフォームなどの用途に最適です。

表6が概略の仕様となります。

FMC (FPGA Mezzanine Card)

2008年にANSI/VITA 57.1として規格化されたFMCは、近年様々なボードサプライヤから多種の製品がリリースされています。

4DSP社製 2Ch ADC&2Ch DAC ボード



写真は4DSP社のFMC150というアナログI/O FMCモジュールです。FMCは名前の通りFPGA用のI/Oとして規格化されました。従来はPMC又は

表6 PENTEK Model71760 概略仕様

Model 71760		仕様
アナログ入力部		ACカップリング フルスケール +8dBm 50Ωインピーダンス SSMCコネクタ
ADコンバータ		4チャンネルADSS485 分解能: 16bit サンプリング周波数: 10MHz ~ 200MHz
クロック	内部VCXO	10 ~ 810MHz (プログラマブル)
	外部クロック	0 ~ +10dBm SSMCコネクタ ACカップリング
	クロックディバイダ	1, 2, 4, 8, 16
外部トリガー		SSMCコネクタ LVTTTL
FPGA		標準: XC7VX330T-2 オプション: XC7VX485T-2 又は XC7VX690T-2
メモリー		1GB DDR3 SDRAM x 4bank
ホストインターフェイス		X8 PCI Express Gen1,2,3
環境仕様		動作温度: 0 ~ 50°C 保存温度: -20 ~ 90°C 湿度: 0 ~ 95% * 結露なし

XMCなどのI/OカードがVME, cPCI, PCI等のベースボードに搭載するカードとして標準的に使用されてきました。但し、ベースボードとのインターフェイスの汎用性を保つ為にPCIバスが採用されており、バスのボトルネック(帯域の制限)があります。また、XMCについては高速シリアルバスを採用する事で、帯域は広がったのですがシリアルの通信プロトコル(PCIe, SRIOなど)を実装してベースボードとの互換性を維持する必要があります。

FMC規格は柔軟性と高速性を兼ね備えたFPGAインターフェイスに最適化された規格と言えます。

FMCには以下の様な特徴があります。

FMC規格の優位性

◆データ・スループット:

メザニンカードとキャリアカード間全体の帯域幅は40Gb/sの転送能力を持っています。

◆ゼロ・レイテンシ:

プロトコルのオーバーヘッドを削除することでレイテンシをなくし、データを確実に転送します。

◆標準プロトコル不要:

PCI, PCI Express や Serial RapidIO などの標準プロトコル規格を実装する必要はありません。

◆開発コスト:

システム設計が最小限になり、消費電

力、IP コアコスト、開発期間を削減します。

この様にFMCはFPGAのI/Oモジュールとして最適な規格ですが、柔軟性がある反面、互換性が保てないという事も事実です。例えば、4DSP社のFMCカードをDelphi社のPCIeキャリアカードに搭載しようとした場合はFMCのインターフェイスが異なるためキャリアカードのFPGAロジックをFMCのインターフェイスに合わせておく必要があります。

Delphi社製 FMCキャリアカード PCE-315



ANSI/VITAではこの互換性の問題について、ANSI/VITA 57.2でFMCの配置およびパフォーマンス・ケイパビリティの自動認識を提供するためにメタデータ・スタンダードを定義します。また、ANSI/VITA 57.3は、FMCモジュールと通信するために使用されるキャリアカードFPGAに実装するロジック・インターフェイスを定義します。ANSI/VITA 57.2及び57.3によって様々なFMC製品が、今後自由に搭載できる事を期待しています。

OpenVPX

新製品

今回は OpenVPX の新製品をピックアップしてご紹介します。

- Mercury Computer Systems 社製 HDS6601
- Creative Electronic Systems 社製 RIOV-2478
- Galleon 社製 VPX3-D2SSD
- Extreme Engineering Solutions 社製 XPand1000

HDS6601

Mercury Computer Systems 社製 HDS6601 は最新の Sandy Bridge マイクロアーキテクチャを採用したオクタルコアの 64-bit Xeon™E5-2648LE™ をデュアルで実装した計 16 コアの高性能プロセッサボードです。2つのCPUは2本のQPI (QuickPath Interconnect) で接続されており、1本で25.6GB/sec、2本で51.2GB/secの性能を持っています。HDS6601は2つのプロセッサ上で単一カーネルの NUMA-aware を走らせ、各プロセッサは約230GFLOPS (最大)、合計460GFLOPSの信じられないほどの演算処理性能を備えています。

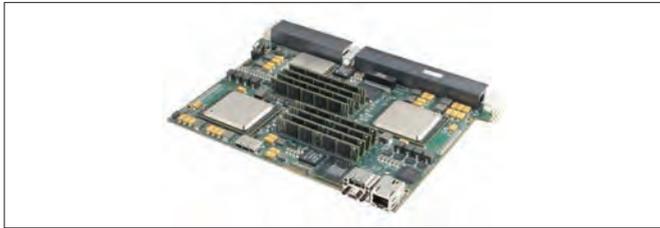
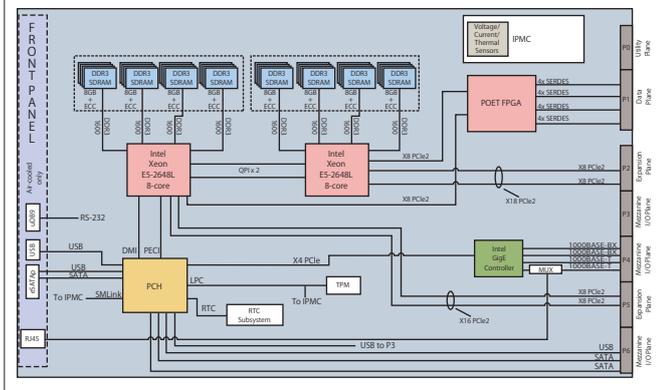


図 17 HDS6601 ブロック図



E5-2648L プロセッサはコア間のデータ共有の為、20MBの大容量キャッシュを持っています。また、オンボードの Virtex 6 FPGA はデータプレーンのデータ転送の為、SRIO (Gen2) 又は 10GbE のプロトコルを実装する事ができます。高速信号処理又は画像処理など大量のデータ処理に最適です。ブロック図と概略仕様をご参照ください。

表 7 HDS6601 概略仕様

		仕 様
プロセッサ		Intel Octal-core Xeon E5-2648L
クロック		1.8GHz
演算性能		460GFLOPS (最大)
プロセッサ間 I/F		QPI 2 x 25.6GB/sec
メモリー		32GB DDR3-1600 ECC / CPU 帯域: 102GB/sec
BIOS SPI flash		Dual 8MB partitions
NAND flash		8GB SATA interface
FPGA		HX250T 又は HX380T
Ethernet		2x 1000BASE-BX to P4 (Control Plane) 1x 10/100/1000BASE-T to P4 (RTM) 10/100/1000BASE-T to front panel or backplane
IPMI		オンボード IPMI コントローラ 電圧、温度モニタ 電源・リセットコントロール
OpenVPX	Management plane	IPMB-A 及び IPMB-B
	Data plane	Dual 4x SRIO 又は 10GbE
	Expansion plane	Dual x16 又は Dual x8 PCIe
	Control plane	Dual 1000BASE-BX
その他 I/O		RS-232, RS-422 USB 2.0 eSATA, SATA Single-end GPIO
サイズ		6U OpenVPX, 1.0" slot pitch
環境仕様		動作温度: 0 ~ 40°C 保存温度: -40 ~ +85°C 湿度: 10 ~ 90%, 結露無し
耐環境仕様		Level1, Level3 対応

RIOV-2478

Creative Electronic Systems 社製 RIOV-2478 はオクタルコアの Freescale QorIQ P4080 を搭載したプロセッサボードです。最大4GBのDDR3 SDRAMをデュアルで実装しており、各チャンネルは10GB/sec(最大)の帯域を持っています。オンボードのクロスポイント・スイッチ(40x40)はプログラム可能で、ペイロード用のモジュール・プロファイルを構成する事ができます。ボード上にはXMCサイトがあり、XMCカードを搭載して使用することができます。

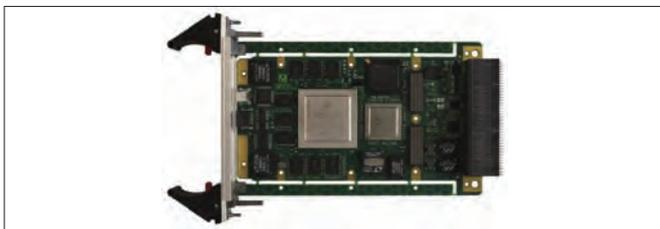


表 8 RIOV-2478 概略仕様

		仕 様
プロセッサ		Freescale octal-core QorIQ P4080
クロック		1.5GHz
メモリー		4GB DDR3-SDRAM ECC 帯域: 10GB/sec (per ch)
NAND flash		4GB
NOR flash		128/256MB
NVRAM		256KB
Crosspoint Switch		3x PCIe x4 on VPX-P1/P2 and XMC 2x SRIO x4 on VPX-P1/P2 and XMC 2x 10GbE XAU1 on VPX-P1/P2 and XMC 8x GbE SCMI on VPX-P1/P2 and XMC 1x UART serial on VPX-P2 3x UART serial on front panel 1x Aurora debug port on VPX-P2
XMC サイト		VITA 42.2/VITA 42.3/VITA 42.6 20x User I/O
サイズ		3U OpenVPX

VPX3-D4SSD

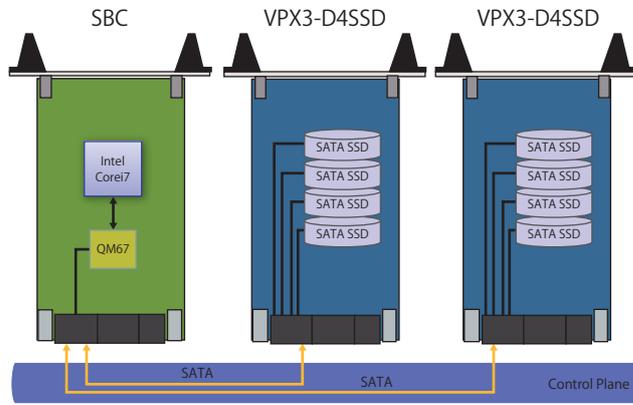
Galleon社製 VPX3-D4SSD は最大 2TB の容量を持つ SSD ストレージモジュールです。インターフェイスは SATA-II を採用しており、最大 1GB/sec のリードライト性能を持っています。写真は容量の小さいモデルで、1 スロット幅 (1.0" pitch) にインストールする事ができますが、最大容量 (2TB) を実装した場合は 2 スロット幅が必要となります。SBC と接続して外部記録用ドライブとして使用する事ができます。UAV や UGV などの無人機の記録メディアとして最適です。



表 9 VPX3-D4SSD 概略仕様

	仕様
記録メディア	2.5" SATA SSD
容量	2TB (最大)
ホストインターフェイス	SATA-II 3Gbps
OpenVPX	Storage Module Profiles (P2 使用)
動作温度	-40 ~ +85°C (*Conduction Cool)
保存温度	-55 ~ +95°C (*Conduction Cool)
MIL仕様	MIL-STD-810F 互換

図 18 VPX3-D4SSD の構成例



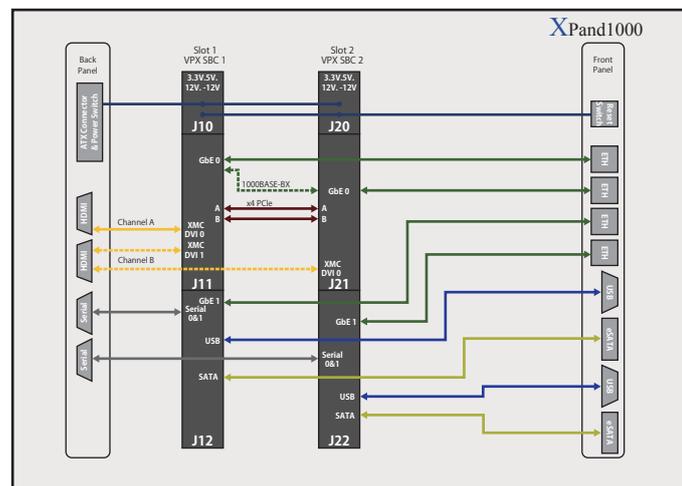
XPand1000

Extreme Engineering Solutions社製 XPand1000 は 3U OpenVPX 開発用デスクトップ・シャーシです。中央に VPX スロットが前後 2 スロットあり、Conduction Cool に対応した 3U モジュールを 2 枚インストールする事ができます。フロントパネルには Ethernet, USB, eSATA などの外部 I/O が出力されており、バックパネルには HDMI ビデオ

インターフェイスやシリアルポートが出力されています。2つのスロット間は x4 の PCIe で接続されており、データプレーンで PCIe のデータ転送が可能です。OpenVPX の導入用として最適です。



図 19 XPand1000 バックプレーン・トポロジ



受託開発

弊社ではこれら CPU ボードを組み合わせた受託開発も承っております。ソフトウェア開発及びハードウェアの設計開発も可能ですのでお気軽にご相談ください。

展示会情報

2012年5月

ESEC 組込みシステム開発技術展
(東京ビッグサイト)

<http://www.esec.jp>

2012年7月

WTP ワイヤレス・テクノロジー・パーク (パシフィコ横浜)

<http://www.wt-park.com>

2012年11月

Embedded Technology
(パシフィコ横浜)

<http://www.jasa.or.jp/et/ET2012>

おわりに

テックジャーナルでは、これからも出来る限りお客様に有効となる情報を提供していきたいと思っております。今後ともどうぞよろしくお願いいたします。

『ミッシュ・テックジャーナル』次回発行をお楽しみに！

Fast, Flexible, and Customer-Focused Embedded Solutions!

X-ES

OpenVPX
Embedded
Computing
Solution

OpenVPX エンベデッド・コンピューティング・ソリューション
BY EXTREME ENGINEERING SOLUTIONS



ANSI/VITA 65でOpenVPXが規格化されたことによって、VPXシステムのインテグレーションは劇的に改善されます。今まで、VPXシステムは複数ベンダ間での相互運用性(互換性)を確立するのが困難でしたが、これからはスムーズなインテグレーションが可能になります。

Extreme Engineering Solutions (X-ES)社は2002年にアメリカのWisconsin州Middletonにて設立されたシングルボードコンピュータ・周辺装置及びソフトウェアのエンジニアリング・カンパニーです。元々はエンベデッド・コンピュータ業界で長年の経験を持った人材が集まって設立したプライベートカンパニーですが、現在はエンベデッド業界のマーケットリーダーとして急成長しています。X-ESはOpenVPXのソリューションを提供するEmbedded Computingのエキスパートとして、航空宇宙や防衛、産業機器や医療などの幅広い分野に最適なソリューションをご提案します。



株式会社ミッシュインターナショナル

〒190-0004 東京都立川市柏町 4-56-1 TEL : 042-538-7650 FAX : 042-534-1610
e-mail : sales@mish.co.jp URL : http://www.mish.co.jp