

MISH TECH JOURNAL (ミッシュ・テックジャーナル) は、最新の情報をいち早くお届けする技術情報誌です。

# MISH TECH JOURNAL

## 2021 Summer Vol. 14

Powered by



<https://www.mish.co.jp>



‘21夏号特集

## RFSocと SOSAオープンスタンダード 組込みEWシステムの新しいトレンド

企画・編集・発行/株式会社ミッシュインターナショナル  
〒190-0004 東京都立川市柏町4-56-1 グローバルビル  
TEL : 042-538-7650 Email : [sales@mish.co.jp](mailto:sales@mish.co.jp)

### CONTENTS

#### 組込みEWシステムの新しいトレンド - P.2-4

はじめに  
電子戦 (EW) の範囲  
EW の課題と戦略  
EW の新技術  
EW 用の新しい開発ツール  
SOSA : EW の新しい組込みオープンスタンダード

#### VPX, VPX-REDIとOpenVPX - P.5-9

VPX (VITA 46) の概要  
VPX-REDI (VITA 48) の概要  
OpenVPX イニシアチブ  
OpenVPX (VITA 65)  
3U VPX ボード  
6U VPX ボード  
OpenVPX パイプ  
OpenVPX コネクタのレイアウト  
標準的な OpenVPX バックプレーンプロファイル  
標準的な OpenVPX モジュールプロファイル  
XMC : PMC のスイッチドシリアルファブリック  
PMC / XMC コネクタの定義  
VPX 仕様書

#### ソフトウェアベースの高速ブロック平均化 - P.10-12

ブロック平均化とは何か?  
システムセットアップ  
ソフトウェアの実装  
テスト結果 (表 4)  
新機能 - 平均化に CUDA ベースの GPU を使用  
GPU による周波数領域の平均化  
まとめ

#### ミリタリコンピュータの高度な冷却技術 - P.13-18

最新のミリタリアプリケーション  
Abaco 社の耐環境レベル  
COTS 耐環境コンピューティングシステムの高度な熱管理  
コンダクションクーリング (伝導冷却) の熱伝達経路  
Abaco 社と GE グローバルリサーチセンター (GRC)  
による次世代の熱管理ソリューションの開発  
Abaco 社の Thermal Management  
Technology Bridge  
Thermal Ground Plane (TGP)  
ヒートパイプシステム  
デュアルクーリングジェット (DCJ)  
まとめ

#### 低レイテンシのCOTSソリューション - P.19-21

低遅延処理  
航空宇宙・防衛組織にとっての課題  
VPX と OpenVPX スタンダード  
FPGA テクノロジーと主な利点  
Abaco 社の COTS ソリューション  
まとめ

#### 新製品ピックアップ - P.22-23

Spectrum 社製 hybridNETBOX シリーズ  
Pentek 社製 Gen3 RFSoc ファミリー  
Teledyne SP Devices 社製 ADQ8-4X  
Alpha Data 社製 Versal ACAP AI アクセラレータボード  
Abaco 社製 SOSA 準拠 FPGA キャリアボード



SPECIAL FEATURE

# 組込みEWシステムの新しいトレンド

## はじめに



電子戦 (EW) は、世界中の防衛能力において支配的な役割を果たすだけでなく、新しい脅威に対抗し、新しいテクノロジーを活用するために急速に進化する必要があります。それぞれの進歩は、絶えず変化するシステム設計の展望を考慮に入れなければなりません。

EWシステムの多くのクリティカルセクションは、信号の取得、処理、生成機能など、RFSocなどの単一コンポーネント内に統合することができます。ハードウェア、ファームウェア、およびソフトウェアの複雑さが増すと、リスクとコストが増加するため、効果的で高レベルの開発ツールがこれまで以上に重要になっています。

同時に、SOSAのような新しいDoDイニシアチブは、コストと納期を削減しながら、相互運用性とアップグレード性を向上させるために組み込みシステムアーキテクチャを標準化しようとしています。ここでは、EWシステムの設計に影響を与える新しい要件と、システムインテグレータの成功を支援する新しいテクノロジーについて説明します。

## 電子戦 (EW) の範囲

EWは進化し支配的な軍事力になり、伝統的な兵器、人員、輸送システムの重要性をしばしば覆い隠しています。EWは、非常に多様な範囲の特定の軍事能力を網羅しており、それぞれが敵に対して優位に立つために電磁スペクトルを利用するという非常に異なる側面に焦点を合わせています。EW信号は、アプリケーションごとにさまざまなプラットフォームを使用して、周波数レベルと電力レベルの両方で広帯域に広がります。

配備されたEWシステムは、陸、空、海、水中、宇宙など、あらゆる場所で見つけることができます。それらはしばしば、商業、娯楽、政府、消費者、地方自治体、緊急、輸送の目的を含む非軍事的な無線帯域と同じく、ますます混雑する無線周波数帯域を使用します。このように利用されている無線周波数帯域は厳密に管理され非常に混雑していることから、それを高度な技術によって最大限に活用されている有限のリソースです。

EWは大きく3つのセクターに分けられます。Electronic Attack (EA) には、混乱、拒否、劣化、破壊、または欺くための古典的な攻撃目標が含まれています。Electronic Protection (EP) は、EAの有効性を阻止しようとしています。Electronic Support (ES) は、意思決定と戦略を改善するために、あらゆる種類の信号情報を豊富に収集します。



EW (電子戦) は常に最新のテクノロジーを利用して敵を欺くまたはターゲットを検出するための軍事システムに必要な不可欠な技術です。EWは新しい脅威に対抗するため常に新しいテクノロジーを導入する必要があり、それは最先端の技術を使ったものでなければなりません。ここではその概要と現状を解説します。

## EWの課題と戦略

レーダはEWの主要なセグメントであり、攻撃、保護、サポートの側面が豊富です。ほぼ1世紀にわたって開発されてきたレーダ技術は、事実上すべての軍事プラットフォームに重要なサポートを提供します。妨害は、レーダ受信機を破壊、無効化または劣化させ、敵の資産を盲目にするために使用される電子攻撃の一形態です。もともと力ずくの高出力ブロードバンド送信機を使用していたジャミングは、高度に指向された周波数およびパルス適応信号によって非常に洗練されたものになりました。これにより、妨害源を見つけて無効にすることが難しくなります。

電子保護のために、航空機の巧妙なレーダートランスポンダは、複数のターゲットをシミュレートするように厳密に作成された人工反射信号、および誤った位置、方位、速度、およびターゲット断面情報を生成できます。これらの欺瞞的な信号を合成するための短い反応時間は、近接しているため、空対空戦闘に不可欠です。

25年近く経った今、ネットワーク中心の戦いは急速に進化し、すべての戦闘要素間の高速で信頼性の高い情報リンクとしてネットワークテクノロジーが採用されました。レーダ、通信、電気光学、およびその他のセンサーから信号を取得し、それらのデジタル化されたストリームを信号処理要素に供給することにより、アルゴリズムは戦術的および戦略的決定のために戦場のリアルタイム表現を生成できます。このような電子サポート機能は、人工知能と機械学習テクノロジーによって大幅に強化され

ています。各予算に合わせて慎重に調整された、次の行動方針の正確な情報を含む結果のオーダーは、戦場ネットワーク全体で兵士と装備品に迅速に配備されます。

これらの例は、EA、EP、ESのEW機能が同じプラットフォーム内で高度に統合され、インタラクティブであることが多いことを示しています。これらの操作はすべて、フェーズドアレイ設計を含む高度なアンテナ、およびビームフォーミング、変調/復調、人工知能 (AI)、多次元アルゴリズム、スペクトラム拡散技術、暗号化、適応無線、コグニティブ無線などの高度な信号処理技術にますます依存しています。

それにもかかわらず、これらの戦略の単一の実装は、新しい対策が導入されるにつれて、最終的には効果が低下します。この自立したサイクルはEWの原動力であり、継続的な軍事資金と新しい開発へのインセンティブを事実上保証します。



## EWの新技術

EWの進歩には、いくつかの重要なテクノロジーが必要です。現在、多くのEW信号はより高い情報レートに対応するだけでなく、スペクトラム拡散変調方式をサポートしてチャネルの信頼性と妨害に対する回復力を向上させるために、より広い帯域幅を占有しています。もう一つは周波数ホッピングであり、RFキャリア周波数は、受信デバイスだけが知っている所定の疑似ランダムパターンで送信中に急速に変化します。この信号帯域幅の増加は、広帯域RFアナログフロントエンドおよびIF回路、A/Dコンバータのより高いサンプリングレート、およびデジタル化された信号インタフェースリンクのデータレートの増加を意味します。おそらく最大の影響は、デジタル信号処理エンジンのワークロードへの大きな負荷です。デジタル信号処理エンジンは、AIやそ

の他の高度な計算集約型アルゴリズムを実装する必要があります。

フェーズドアレイアンテナは、素子の線形または2次元平面アレイで構成され、それぞれが共通の送信信号または受信信号に独立した位相シフトを適用できます。各位相シフトを正確に制御して建設的な干渉を実現することにより、アンテナは受信と送信の両方で高度な指向性を実現することができます。従来のディッシュ (パラボラ) アンテナとは異なり、新しい位相シフトのセットを適用することにより、フェーズドアレイは可動部品なしで即座に新しい方向に操縦できます。さらに追加の信号処理により、複数のターゲットを同時に追跡できます。

フェーズドアレイは、船体表面に設置でき、指向性ディッシュアンテナに必要なかさばる機械的構造なしに脅威やターゲットにすばやく適応できるため、空中レーダやUAVレーダに特に適しています。しかし、フェーズドアレイの敏捷性と信頼性により、地上および海上ベースのレーダ、特に火器管制システムとカウンターメジャーでますます人気が高まっています。

これらの重要な利点はすべて、ある程度の複雑さとコストがかかります。フェーズドアレイの各素子には、独立した位相シフト (重み) が必要です。もともとはアナログ回路で行われていましたが、精度と速度が向上したため、DSPを使用してデジタル化された信号に対して実行されます。したがって、トランシーバアレイの各素子には、独自のADコンバータとDAコンバータに加えて、独自のDSPエンジンが必要です。

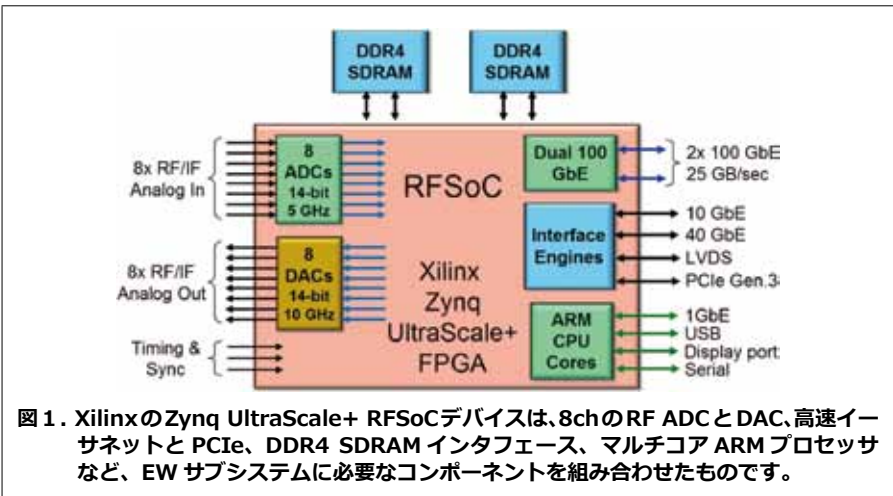
これをより導入しやすくするために、2017年にザイリンクスによってRFSoc

(RFシステムオンチップ) がリリースされました (図1を参照)。

Zynq UltraScale+ FPGAアーキテクチャに基づいて、RFSocには5 GS/sでサンプリングする8chのADコンバータと10GS/sでサンプリングする8chのDAコンバータが含まれています。これらはZynq FPGAファブリックに直接接続されているため、ディスクリートA/Dコンバータへの外部インタフェースの電力、接続、複雑さ、およびレイテンシが排除されます。オンボードのマルチコアARMプロセッサは、制御/ステータスI/Oを備えたシステムコントローラとして機能し、2ポートの100 GbEインタフェースがRFSocを外部デバイスに接続して双方向の25 GB/sのデータ転送をサポートします。

商用5Gワイヤレス市場向けに導入されたRFSocは、フェーズドアレイアンテナの8エレメントの主要なサポート機能をうまく統合し、フェーズドアレイパネルの背面に収まるほど小さく、面倒なケーブル配線も削減します。RFSocのようなこの新しいテクノロジーを商用市場から軍事用途に利用することにより、防衛ベンダーはSWaPとコストを劇的に削減しており、特に航空機や小型のEW対戦システムにとって重要です。

RFSocは、チップ上に完全なソフトウェア無線サブシステムを提供するため、以前のテクノロジーでは実用的ではなかった新しい軍事用途に応用できます。これらには、小型のスタンドアロン監視ステーション、より高性能なロボット、よりスマートな軍需品、および動作周波数を動的に変更して混雑した帯域や対抗策を回避できるポータブル適応無線が含まれます。





## EW用の新しい開発ツール

新たなEWの脅威と戦略では、高度なベクトル処理、センサーインタフェース用に構成可能なハードウェア、人工知能、ニューラルネットワーク、機械学習、分析と意思決定のためのスカラー処理を活用する必要があります。これらの各分野には、現在、特定の処理ハードウェアとそれらをプログラミングできるスペシャリストが必要です。各セクションが完全に機能している場合でも、これらの多様なリソースを緊密に結合された機能的なシステムに統合することは困難です。

ザイリンクスは最近、ハードウェアデバイスとサポートする開発ツールのVersal ACAP (Adaptive Compute Acceleration Platform) ファミリを発表しました。ファミリのさまざまなメンバーが、スカラープロセッサ (CPU)、ベクトルプロセッサ (GPU、DSP)、およびアダプティブロジック (FPGA) の3つの主要なリソースのさまざまな機能を提供します。

RFSocと同様のRFADCおよびDACも提供しているため、組み込みEWに非常に適しています。オンボードの高帯域幅メモリと柔軟なメモリ構造により、外部デバイスが不要になります。これらのリソースを相互接続するために、ACAPには、システム統合を簡素化するための統一されたインタフェースとプロトコルを提供する非常に広帯域のネットワークオンチップが含まれています。

汎用開発ツールは、フレームワーク、モデル、C言語、およびRTLコーディングからの高レベルの設計エントリを対象としています。ユーザーは、プロジェクトのニーズとプログラミングの好みに合わせてカスタム開発環境を作成できます。他のハードウェア/ソフトウェアプラットフォームは進化して、EW開発タスクをスピードアップし、高度な複雑さと極端なパフォーマンス要件を克服するのに役立ちます。

## SOSA：EWの新しい組み込みオープンスタンダード

2013年5月、米国国防総省は、すべての調達活動に明確に定義されたモジュラーハードウェアおよびソフトウェアコンポーネントの進化するオープンスタンダー

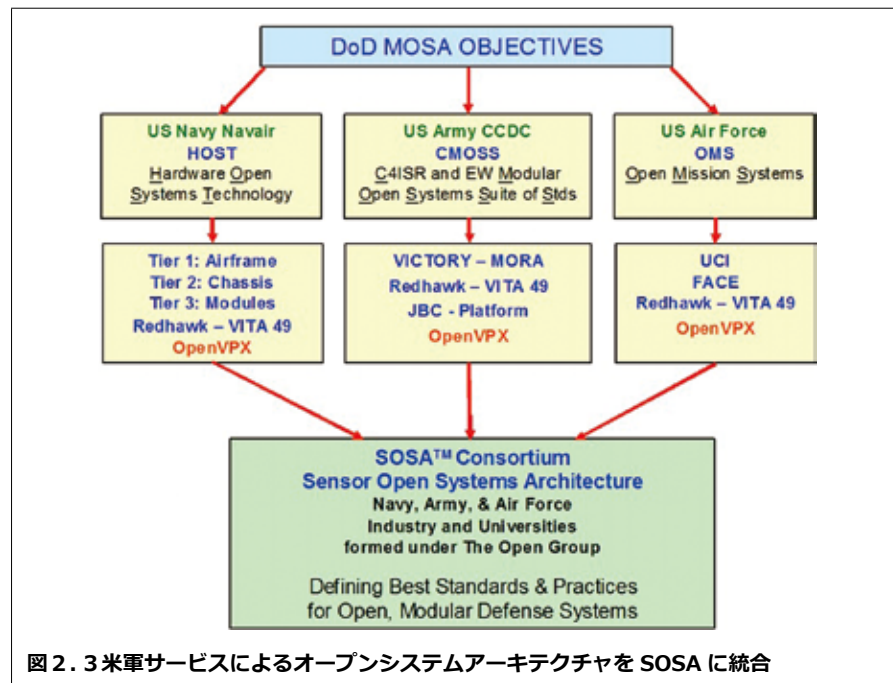


図2. 3米軍サービスによるオープンシステムアーキテクチャをSOSAに統合

ドで定義されたDoDオープンシステムアーキテクチャ (OSA) の原則と実践を組み込む必要があることを義務付けるマイルストーンメモを発行しました。

目標は、マルチベンダーの調達、迅速な対応のニーズに対応する再利用性、新しいテクノロジーへのアップグレードの容易さ、開発リスクの軽減、運用ライフサイクルの大幅な延長などです。これに応じて、米軍の3つの主要なブランチ (陸軍、海軍、空軍) は、それぞれのサービスに導入されたシステムの将来の調達ニーズを満たすために、OSAの原則を取り入れたスタンダードの開発を開始しました。5年後、3つのサービスに多くの共通要素があり、これらを統合するためのSOSA (Sensor Open Systems Architecture) コンソーシアムの形成を促したことが明らかになりました (図2を参照)。

SOSAは、既存のオープンスタンダードの最も適切なサブセットを採用して、レーダ、EO/IR、SIGINT、EW、および通信用の現在および将来の組み込みシステムのビルディングブロックの多目的バックボーンを形成します。

SOSAの貢献メンバーは、米国国防総省、陸軍、海軍、空軍などの米国政府機関、および業界や大学の主要な代表者です。主なSOSA製品は、OpenVPXおよびその他の関連するVITAスタンダードに加えて、新しいテクノロジー、トポロジ、および環境要件の新しい拡張機能を利用した技術

スタンダードです。現在、数年間集中的に開発されているテクニカルスタンダードスナップショット3は、2021年初頭に予定されているバージョン1.0での最初の完全リリースの前に、レビューと修正のために2020年7月にリリースされました。

現在、数十のベンダーが「SOSAに準拠した」製品を提供しており、リリースされた最終規格に対するサードパーティの認証後に「SOSA認証」になる準備が整っています (図3を参照)。



図3. Pentek社のSOSA準拠3U-VPXボードとVITA67.3リアパネルコネクタ

以前のオープンスタンダードとのSOSAアーキテクチャの主な違いは、IP (知的財産) の明確な保護であり、イノベーションと投資を促進します。

これにより、SOSAは、組み込み型の軍事EWシステムの未来に革命を起こすための道を歩んでいます。

リファレンスドキュメント:

PENTEK PIPELINE Vol.29 Managing New Trends for Embedded EW Systems

## STANDARDS

## VPX, VPX-REDIとOpenVPX

## VPX (VITA 46) の概要

- スイッチファブリックリンクによりI/O速度を向上
  - ・パラレルバスバックプレーンのボトルネックを排除
  - ・カードスロットごとに8～24ギガビットのシリアル4Xリンク
- オプションのスイッチカード
  - ・再構成可能なプログラマブルシリアルリンクコネクタ
- 3Uおよび6Uフォームファクタ
  - ・VMEと同じ寸法
- 新しいバックプレーンI/Oオプション
  - ・光学およびRFバックプレーンが利用可能
- XMCモジュールに完全準拠
  - ・VITA 42 XMC仕様
- 最新の電源供給能力
  - ・高出力で高密度のカードをサポート

古くから利用されているVMEアーキテクチャのバックプレーンのボトルネックを解消するために、エンベデッドコミュニティはVITA 46で正式に定義されたVPXイニシアチブを開始しました。すべてのカードスロットを接続する共有の平行VME busは、VPXカードスロット間の多数のポイントツーポイントギガビットシリアルリンクに完全に置き換えられています。VPXは、3Uおよび6Uカードと同じ形状を継承し、VITA 42規格で定義されているXMCメザニンモジュールをサポートします。VPXは、3Uカード用に3つのMulti-Gig RTコネクタを使用し、6Uカード用に7つのコネクタを使用します。その結果、VPXカードは

VMEと比較してトラフィック帯域幅を数桁増加することができます。

VITA 46.0 VPX基本仕様は、バックプレーンポロジまたは特定のギガビットシリアルファブリックまたはプロトコルを定義していません。各ファブリックプロトコルの実装は、サブ仕様つまり「ドット仕様」として定義されています。

## VPX-REDI (VITA 48) の概要

- REDI (Ruggedized Enhanced Design Implementation) - 堅牢な拡張設計の実装
- VPXの拡張された熱管理のための特定の機械設計の実装を定義
  - ・空冷、コンダクション、液体冷却構造的完全性の向上
  - ・回路とESDを保護するためのカバープレート2レベルのメンテナンス互換性
  - ・モジュールは、フィールドメンテナンスのためにフィールド交換可能
- ドット仕様で実装の詳細を定義
  - VITA 48.1 - REDIエアクール
  - VITA 48.2 - REDIコンダクションクール
  - VITA 48.3 - REDI液体冷却
  - VITA 48.5 - エアフロークール

組み込み業界がVPXの利用を開始すると、厳しい環境要件に対処するための新しい拡張機能が登場しました。VITA 48 VPX-REDI (Ruggedized Enhanced Design Implementation) は、強制空冷、伝導冷却、および液体冷却方式を使用して強化された熱管理のための特定の機械設計を

VPXはANSI/VITA 46として規格化されてからVPX-REDIやOpenVPXとして様々な変遷を遂げてきました。相互運用性の問題や膨大なプロファイルなど課題はありますが、現在の新規設計はVMEからVPXに移行しており、今後の組み込みシステムのパスはVPXに置き換えることは間違いありません。ここではPentek社のVPXハンドブックでVPXの概要をおさらいしたいと思います。

定義します。また、配備された軍事用途でのフィールドサービスの新しい要件を満たすために、カードの保護メタルカバーを定義します。

## OpenVPXイニシアチブ

- 原則
  - ・VPXを新しいシステムアーキテクチャとして採用するために、米国国防総省は業界全体でVPXテクノロジーのスタンダードの定義と採用を義務付けました
  - ・ベンダー間の相互運用性を提供する
  - ・競合他社のコンポーネント間で市場価格を促進する
  - ・ライフサイクルサポートの長期的な可用性を提供する
- OpenVPX イングストリ組織を2009年1月に設立
  - ・26の組み込みシステムベンダー、メーカー、コントラクターにより構成
  - ・目標：定義を加速し標準化のためにVITAに引き渡すこと
- VITAスタンダードへの移行
  - ・2009年10月にVSO (VITA Standards Organization) に移管
  - ・VITA 65に指定される
  - ・2010年2月にVITAによって承認される
- ANSI標準化
  - ・2010年6月に受領

OpenVPX組織は、業界全体のスタンダードと業界全体のVPXテクノロジーの長



期的な可用性を促進するために2009年1月に設立されました。各ベンダーは元のVPX仕様を使用していましたが、幅広いアーキテクチャが許可されていたためVPXシステムはベンダー固有の実装になる傾向がありました。

OpenVPXの使命は、ベンダー間の相互運用性を可能にするために、明確に定義されたシステムアーキテクチャ、命名法、および規則のセットを追加することにより、元のVPX仕様を強化することでした。組み込みシステムコミュニティの主要ベンダーで構成され、VPXが現在および将来のシステムに適していることを政府および軍の顧客に納得させることを熱望しているグループは急速に進歩し、2009年10月に完成した仕様をVITA 65として標準化するためにVSOに引き渡しました。2010年2月、仕様はVSOによって承認され、ANSIの承認は2010年6月に受領されました。

## OpenVPX (VITA 65)

- システム実装とシステムアーキテクチャのセットを定義
  - ・ マルチベンダーの相互運用性とライフサイクルのメンテナンスを促進する
  - ・ 既存のVITA 46 VPXベースラインおよびVITA 48 VPX-REDIスタンダードを使用
- シリアル通信に使用されるさまざまなサイズのパイプを定義
- 構造と階層のさまざまなプロファイルを定義
  - ・ スロットプロファイル
  - ・ バックプレーンプロファイル
  - ・ モジュールプロファイル
  - ・ 開発シャーシプロファイル
- 仕様内の信号タイプに複数のプレーンを定義
  - ・ ユーティリティプレーン
  - ・ マネジメントプレーン
  - ・ コントロールプレーン
  - ・ データプレーン
  - ・ 拡張プレーン

OpenVPXは、レーン数とその機能の観点からギガビットシリアルリンクを表現するシステムの新しい命名法を定義しました。

「パイプ」という用語は、論理データチャネルを形成するためにグループ化される双方向差動シリアルペアの数を定義するために使用されます。

OpenVPXはまた、パイプを介して運ばれるさまざまな種類のトラフィックを「プレーン」として分類しました。定義されている5つのプレーンは、ユーティリティ、マネジメント、コントロール、データ、および拡張プレーンです。

システムのアーキテクチャ特性を定義するために、いくつかの「プロファイル」が定義されました。スロットプロファイルは、各スロットのバックプレーンコネクタにあるパイプとプレーンを指定します。モジュールプロファイルは、各カードに実装されているパイプ、プレーン、ファブリック、およびプロトコルを指定します。バックプレーンプロファイルは、スロットがパイプによって相互に接続される方法を定義します。そして最後に、開発シャーシプロファイルにはバックプレーンプロファイルが含まれ、寸法、電源、および冷却方法を定義します。

## 3U VPXボード

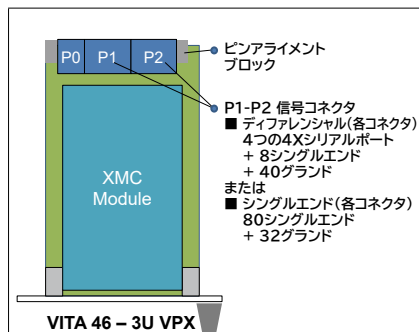


図4. 標準的な3UVPXボードの形状とバックプレーンコネクタ

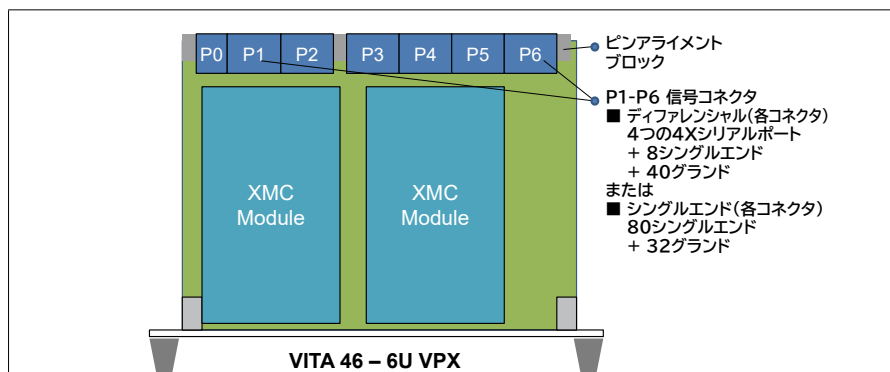


図5. 標準的な6U VPXボードの形状とバックプレーンコネクタ

- 3U VMEと同じ3Uボード形状
- P0ユーティリティコネクタ
  - ・ 電源、システムリセット、基準クロック、バス管理、アドレス指定など
- P1およびP2信号コネクタ用のMulti-Gig RT2
  - ・ 差動またはシングルエンド信号の定義
  - ・ 最大8つの4Xギガビットシリアルポート
- 1つのXMCメザニンサイト

3Uボードの形状は3U VMEボードと同じです。ボードには、電源、システムリセット、基準クロック、アドレス指定、バス管理、およびその他の必要なユーティリティ機能を提供するP0ユーティリティコネクタがあります。

3Uボードには、P1とP2の2つのMulti-Gig RT2コネクタがあります。各コネクタは最大4つの4Xギガビットシリアルポートを提供し、このボードは最大8つの4Xポートを提供します。VPX仕様では、信号コネクタごとに使用可能な信号接続と接地接続の数も定義されています。

また、3U VPXボードにはXMCモジュールを搭載可能な1つのXMCメザニンサイトがあります。

## 6U VPXボード

- 6U VMEと同じ6Uボード形状
- P0ユーティリティコネクタ
  - ・ 電源、システムリセット、基準クロック、バス管理、アドレス指定など
- P1からP6信号コネクタ用のMultiGigRT2
  - ・ 差動またはシングルエンド信号の定義
  - ・ 最大24個の4Xギガビットシリアルポート
- 1つまたは2つのXMCメザニンサイト

6Uボードの形状は6U VMEボードと同じです。ボードには、電源、システムリセット、基準クロック、アドレス指定、バス管理、およびその他の必要なユーティリティ機能を提供するP0ユーティリティコネクタがあります。

6Uボードには、6つのMulti-Gig RT2信号コネクタP1からP6があります。各コネクタは最大4つの4Xギガビットシリアルポートを提供し、このボードは最大24の4Xポートを提供します。VPX仕様では、信号コネクタごとに使用可能な信号接続と接地接続の数も定義されています。

また、6U VPXボードには2つのXMCメザニンサイトがあり、1つまたは2つのXMCモジュールを搭載できます。

## OpenVPXパイプ

- パイプ
  - ・ 相互接続チャンネルの差動ペアのグループ化
  - ・ ファブリックプロトコルを指定しません

OpenVPXパイプは、チャンネルを相互接続するために使用される差動ペアのグループです。表1に示すように定義されたOpenVPXパイプのサイズは、「Ultra Thin Pipe」またはUTPと呼ばれる1レーン(1X)から「Octal Fat Pipe」またはOFPと呼ばれる32レーン(32X)までの範囲があります。

UTPの次のサイズは、2レーン(2X)の「Thin Pipe」またはTPです。人気のある4Xリンクは「Fat Pipe」またはFPと呼ばれます。その次のサイズは、8Xリンクを備えた「Double Fat Pipe」またはDFPです。次にサイズが大きいのは「Quad Fat Pipe」またはQFPと呼ばれる16Xで、最も太いのは「Octal Fat Pipe」、OFPまたは32Xとなります。

ここで使用されているように、nXの指定はXnまたはxnと同じです。ここで、nはレーン/パイプの数です。xnはPCI Expressで最も一般的に使用されています。

## OpenVPXコネクタのレイアウト

図6に示されているのは、3Uおよび6U

| パイプ名            | 略語  | 差動ペア数 | レーン数 |
|-----------------|-----|-------|------|
| Ultra Thin Pipe | UTP | 1     | X1   |
| Thin Pipe       | TP  | 2     | X2   |
| Fat Pipe        | FP  | 4     | X4   |
| Double Fat Pipe | DFP | 8     | X8   |
| Quad Fat Pipe   | QFP | 16    | X16  |
| Octal Fat Pipe  | OFP | 32    | X32  |

表1. OpenVPXパイプの種類とレーン数

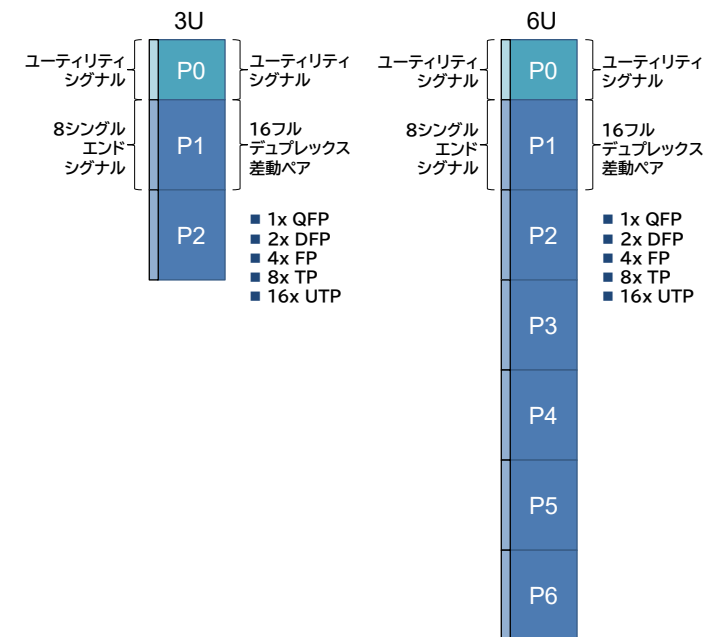


図6. OpenVPX 3Uと6Uのコネクタレイアウト

カードのコネクタレイアウトです。

前に示したように、3Uカードには、電源、クロックなどのユーティリティ用に1つのユーティリティコネクタがあります。また、2つの信号コネクタP1とP2もあります。これらはそれぞれ、8つのシングルエンド信号とグラウンドの接続を提供します。さらに、それぞれが次のパイプを備えた16の全二重差動ペアを提供します：16のUTP、8つのTP、4つのFP、2つのDFP、および1つのQFP。同様に、6Uボードには同じユーティリティコネクタと6つの信号コネクタP1～P6があります。

これらはそれぞれ、8つのシングルエンド信号とグラウンドの接続を提供します。さらに、それぞれが次のパイプを備えた16の全二重差動ペアを提供します：16のUTP、8つのTP、4つのFP、2つのDFP、および1つのQFP。

## 標準的なOpenVPXバックプレーンプロファイル

OpenVPX仕様は、非常に多くのバックプレーンプロファイルを定義しています。バックプレーンプロファイルは、バックプレーン実装の物理的な定義です。

この定義には次のものが含まれます。

- 3Uや6Uなどのスロットサイズ
- 1.00、0.85、0.80インチなどのスロット間隔
- スロットの数と種類
- 次のようなスロットの相互接続に使用されるトポロジ
  - ・ メッシュ
  - ・ セントラルスイッチ
  - ・ ディストリビュート
  - ・ ルートリーフ

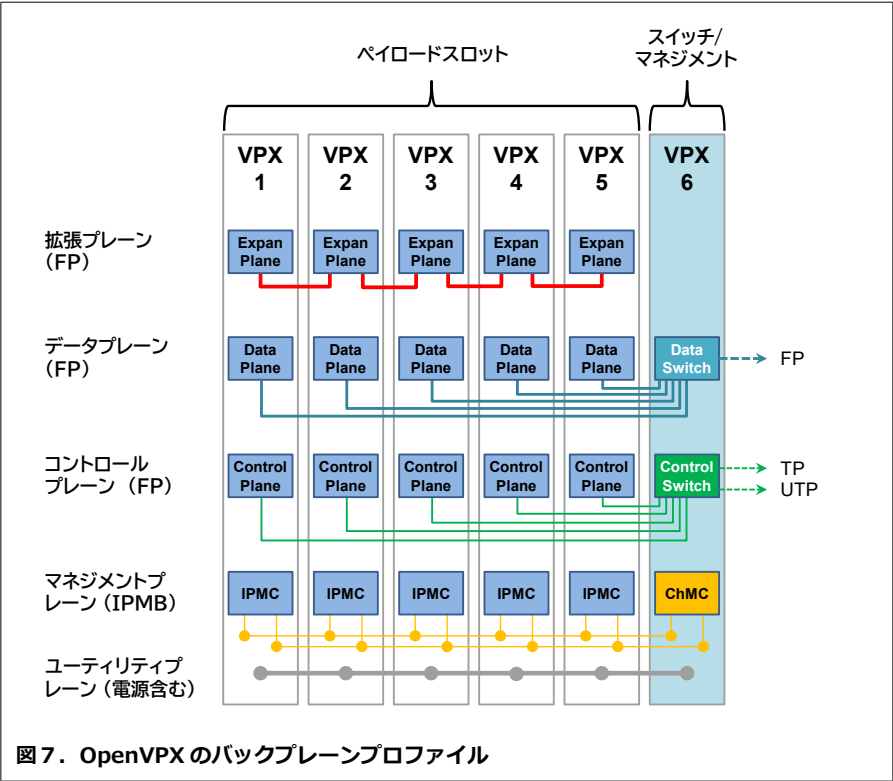


図7. OpenVPXのバックプレーンプロファイル

図7に示されているのは、5つのペイロードカードと1つのスイッチ/管理カードを備えた標準的な6スロットバックプレーンです。このようなバックプレーンは、主に開発環境を対象としています。ただし、一部のシステムは、これらのバックプレーンを使用してフィールドに展開できます。

### 標準的なOpenVPXモジュールプロファイル

バックプレーンプロファイルに加えて、OpenVPXはモジュールプロファイルを定義します。

モジュールプロファイルは、モジュールのバックプレーンコネクタへのポートの物理マッピングを提供します。モジュールプロファイルには、各ポートに使用される特定のプロトコルの割り当てが含まれています。また、モジュールとスロット間の一次互換性チェックも提供します。

図8の一般的なモジュールプロファイルは、P1、P2、およびP4の割り当てを示しています。

P0はユーティリティ機能に使用されます。コネクタのバランスの割り当ては、アプリケーションに合わせてユーザーが指定できます。

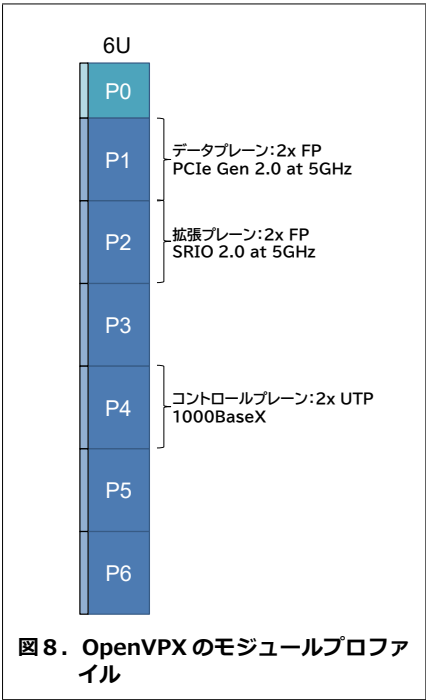


図8. OpenVPXのモジュールプロファイル

| VITA規格 | 規格の内容               |
|--------|---------------------|
| 42.0   | 基本仕様：コネクタ、メカニカル、他   |
| 42.1   | パラレルRapidIOプロトコルレイヤ |
| 42.2   | シリアルRapidIOプロトコルレイヤ |
| 42.3   | PCI Expressプロトコルレイヤ |
| 42.6   | 10GbEプロトコルレイヤ       |

表2. XMC規格番号

### XMC：PMCのスイッチドシリアルファブリック

XMC仕様はVITA 42.0で定義されており、ギガビットシリアルインタフェースをサポートするための新しい接続と、増え続ける代替I/O規格のリストを追加することにより、PMCカードを拡張します。

表2に示すように、VITA 42.0は基本仕様であり、一般情報、参照および継承のドキュメント、寸法仕様、コネクタ、ピンアサイン、およびピン機能のペアリングとグループ化の一次割り当てが含まれています。

VITA 42.0およびすべてのサブ仕様はVITAによって承認され、ANSIによって承認されています。サブ仕様42.1は廃止されました。

XMCは、6 x 19アレイに配置された114ピンのピンソケットコネクタを使用するシングル幅またはダブル幅のモジュールにすることができます。シングル幅XMCは、図9に示すように、ピン機能を備えた1つまたは2つのコネクタを持つことができます。ダブル幅XMCは、最大4つのコネクタを持つことができます。ギガビットシリアルインタフェースをサポートするには、P15コネクタとP16コネクタの両方で10本の全二重差動ペアラインが定義されていることに注意してください。VITA 42.0基本仕様は、信号タイプ、データレート、プロトコル、電圧レベル、またはこれらの信号のグループ化を規定していません。代わりに、それを以下のいくつかのサブ仕様に任せるのが賢明であり、新しいスタンダードが出現するにつれてXMCを進化させることができます。実際、シリアルインタフェースをサポートするという基本的な使命に反して、最初のサブ仕様であるVITA 42.1は、パラレルRapidIO用にこれらの同じピンを定義しています。

### PMC / XMCコネクタの定義

- P15プライマリXMCコネクタ
  - ・ 10個の双方向差動ペア
  - ・ JTAG
  - ・ システム管理
  - ・ 予備
  - ・ 3.3V電源：
    - メイン：4ピン、1 A/ピン、13.2 W
    - 予備：1ピン、システム管理用
  - ・ 可変電力
    - 8ピン、1 A/ピン
    - 5V（最大40 W）または12 V（最大96 W）
  - モジュールは5Vまたは12Vを受け入れる必要があります
  - キャリアは5Vまたは12Vを提供する場合があります
- P16：セカンダリXMCコネクタ
  - ・ さらに10の双方向差動ペア
  - ・ 高速またはシングルエンドのユーザーI/O
  - ・ ギガビットシリアルファブリックの拡張

VITA 42.1は承認され製品化されていますが、より一般的なシリアルプロトコルの代わりにこの規格を採用したベンダーはほとんどありません。P15のほとんどのピンはシリアルリンク、電源、およびその他の機能用に準備されていますが、P16には、VITA 42.10汎用I/Oドラフト仕様で対応されているユーザー定義のピンが豊富にあります。イーサネット、USBポート、RS-232、RS-485、SATA、ファイバーチャネル、SAS（シリアル接続SCSI）などの一般的なシステムI/Oのインタフェースを実装する標準化された方法を提供します。ここでの明らかな利点は、これらの定義に従うことにより、XMCとキャリアボードの設計者は業界標準の本質的な目標である、はるかに広い範囲の相互運用性を実現できることです。

### VPX仕様書

VPXベースライン仕様はVITA及びANSIによって承認され、VITA46.0としてリリースされています。需要がないために廃止されたVITA 46.8 Infinibandを除いて、そのサブ仕様もすべて承認されていま

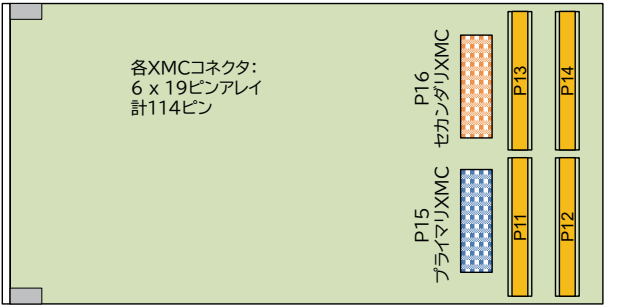


図9. PMC / XMCコネクタの定義

| VITA 46.0  | VPX Baseline Specification                         |
|------------|----------------------------------------------------|
| VITA 46.1  | VMEbus Signal Mapping                              |
| VITA 46.3  | 4x Serial RapidIO Signal Mapping                   |
| VITA 46.4  | PCI Express Signal Mapping                         |
| VITA 46.6  | Gbit Ethernet Control Plane Signal Mapping         |
| VITA 46.7  | 10Gbit Ethernet Signal Mapping                     |
| VITA 46.8  | Infiniband                                         |
| VITA 46.9  | PMC/XMC Rear I/O Fabric Signal Mapping             |
| VITA 46.10 | Rear Transition Module                             |
| VITA 46.11 | System Management                                  |
| VITA 48.0  | REDI Baseline Specification                        |
| VITA 48.1  | REDI Air Cooling                                   |
| VITA 48.2  | REDI Conduction Cooling                            |
| VITA 48.3  | REDI Liquid Cooling                                |
| VITA 48.4  | REDI Mech Spec for Liquid Flow Through             |
| VITA 48.5  | Air Flow Through Cooling                           |
| VITA 48.7  | Air Flow-By Cooling                                |
| VITA 48.8  | Mechanical Spec Using Air Flow-By Cooling          |
| VITA 49.0  | VITA Radio Transport (VRT)                         |
| VITA 49.1  | VITA Radio Link (VRL)                              |
| VITA 49.2  | VITA Radio Transport Control Packets               |
| VITA 60.0  | VPX: Alternative Connector for VPX                 |
| VITA 62.0  | VPX: Power Supply                                  |
| VITA 63.0  | VPX: KVPX, Alternate Connector for VPX             |
| VITA 65.0  | OpenVPX                                            |
| VITA 65.0  | Base Specification                                 |
| VITA 66.0  | Optical Interconnect on VPX                        |
| VITA 66.0  | Optical Interconnect on VPX, Base Spec             |
| VITA 66.1  | Optical Interconnect on VPX, MT Variant            |
| VITA 66.2  | Optical Interconnect on VPX, Arinc Variant         |
| VITA 66.3  | Optical Interconnect on VPX, Beam Variant          |
| VITA 66.4  | Optical Interconnect on VPX, Half Width Bm Variant |
| VITA 67.0  | Coaxial Interconnect on VPX                        |
| VITA 67.0  | Coaxial Interconnect on VPX, Base Spec             |
| VITA 67.1  | Coaxial Interconnect on VPX, 3U                    |
| VITA 67.2  | Coaxial Interconnect on VPX, 6U 8 Position         |
| VITA 67.3  | Coaxial Interconnect on VPX, 6U 4 Position         |
| VITA 68.0  | VPX: Compliance Channel                            |

表3. VPXの規格書番号リスト

す。同様に、VITA 48.0 REDIが承認されています。また、そのすべてのサブ仕様も承認されています。OpenVPX VITA 65.0基本仕様は、VITA及びANSIによって承認されています。さらに2つのVITAスタンダード（VITA 66.0光インターコネクタおよびVPX上のVITA 67.0同軸相互接続）が承認されました。

今後、VPXスタンダードは更に進化しVMEbus同様に組み込みシステムのスタンダードとなることは間違い無いでしょう。

リファレンスドキュメント：  
PENTEK社 VPX Handbook 3rd Edition,  
Putting VPX and OpenVPX to Work



APPLICATION

# ソフトウェアベースの 高速ブロック平均化

## ブロック平均化とは何か？

ブロック平均化モードを使用すると、ランダムノイズ成分を除去することができ反復信号の精度を向上させることができます。このモードは、複数の単一取得を実行し、累積し、平均化することができます。このプロセスにより、ランダムノイズが減少し反復信号の視認性が向上します。平均化された信号は、測定分解能が向上し、信号対雑音(SNR)比が向上しています。

ブロック平均化モードは、レーダーテスト、質量分析、医療画像、超音波テスト、光ファイバーテスト、レーザー測距などのさまざまなアプリケーションに於ける測定を改善するために使用することができます。

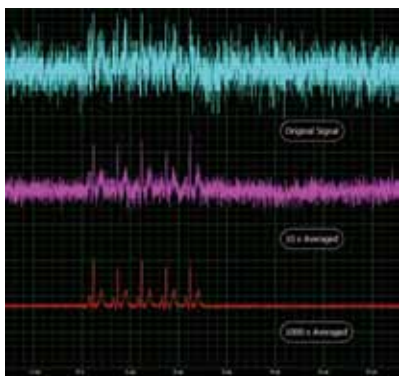


図 10. ブロックアベレーシングによるノイズの除去

図10のスクリーンショットは、ランダムノイズとさまざまな平均化係数を使用した場合に達成できる改善によって完全にオーバーレイされた低レベル信号(約2mV)を示しています。一方、ソース信号は元のシングルショット取得では表示されません。

10回の平均化は、実際には5つのピークを持つ信号があることを示しています。1000回のブロック平均を実行すると信号品質がさらに向上し、2次の最大ピークと最小ピークを備えた信号の実際の形状がさらに明らかになります。

この例は、500MS/s (2ns/point) のサンプリングレートと14bitの分解能のデジタイザを使用して作成されました。

## システムセットアップ

テストシステムは、次のコンポーネントで構成される標準的なオフィスPCを使用しています。

- マザーボード：Gigabyte GA-H77-D3H
- CPU：Intel Core i7-3770 3.4GHz
- メモリ：8GB DDR3
- SSD：120GB Samsung 840EVO
- OS：Windows 7 Professional 64bit
- コンパイラ：Visual Studio 2005 Standard Edition



マザーボードには、A/Dボード(M4i.2230-x8)で使用されるPCIe x8 Gen2 スロットが1つあります。

このスロットのペイロードは256で、SPECTRUM M4i カードが約3.4GB/sのフルストリーミング速度に到達できるようにします(データ処理なし)。

ブロックまたはセグメント化されたデータの平均化は、信号からノイズを除去する必要があるさまざまなアプリケーションで使用されます。ブロック平均化をFPGAに実装するのは、デジタイザ(A/Dボード)のメーカーに関係なく、平均化されるセグメントの最大サイズが制限されます。制限はFPGAの規模によって異なり、通常は32kから500k サンプルの範囲となります。ここでは、SPECTRUM 製 M4i シリーズ A/D ボードの高速PCIe ストリーミング機能を使用して、ソフトウェアでブロック平均化を実装しこれらの制限を超える方法を示します。

## ソフトウェアの実装

テストソフトウェアはC++で実行され、SPECTRUM 社ストリーミングのサンプルコードに基づいています。テストカードには外部トリガーが供給され、トリガーイベントごとに1セグメントのデータを取得します。データはA/Dボードのオンボードメモリに保存され、スキャッターギャザー DMAによってPCメモリにダイレクト転送し、そこでブロック平均化を実行しました。どのようなパフォーマンスレベルを達成できるかを確認するために、さまざまなセットアップと改善方法がテストされています。

図11に示すソースコードの抜粋は、メインの合計ループのスレッドバージョンを示しています。これは、ソフトウェアの速度を決定する重要な部分です。

次のリストは、結果セクションにある実装のさまざまな側面に関する情報とコメントを示しています。

- Segmentsize：トリガーイベントの受信後に取得される1つのデータセグメントのサンプル数。
- Averages：セグメントが保存され、平均プロセスが再開されるまでに実行される平均(合計)の数。
- Notifysize：PCハードウェアによって割り込みが生成されるまでのデータ量。このNotifysizeは、完全な平均化ループのペースを定義します。NotifysizeがSegmentsizeより大きい場合、複数のセグメントが1つの割り込みに要約されます。これにより、スレッド通信と割り込み処理のオーバーヘッドが削減

されます。

- Buffersize：DMA転送用のメモリ内の全体的なターゲットバッファサイズ。この例では、バッファはNotifysizeの16倍の固定サイズです。
- Triggerrate：外部信号発生器の繰り返しレート。結果では、バッファをいっぱいにする(オーバーフローすることなく、達成された最大トリガーレートを示しています)。
- Threads：合計プロセスを高速化するために、合計をいくつかの異なるソフトウェアスレッドに分割することにより、このタスクを並列化します。スレッドがゼロとして表示されている場合、合計プロセスはスレッドを使用せずループ内で直接インラインで実行されます。
- CPU Load：平均的なプロセスはソフトウェアで実行されるため、CPUはすべての作業を実行する必要があります。幸いなことに、最新のCPUは複数のコアで構成されているため、コア間で作業タスクを簡単に共有することができます。
- SSE/SSE2 コマンド：一見すると、これらのコマンドは、スレッドベースのプログラミングを必要とせずに、合計プロセスを並列化しソフトウェアを高速化するのに完全に適しているように見えます。ただし、残念ながらSSEコマンドセットはすべて同じタイプのデータに基づいています。取得したデータは8bit幅で、平均バッファは32ビット幅であるため、これはここで使用できるソリューションではありません。

## テスト結果(表4)

すべての測定は、5GS/s、8bit分解能および外部トリガーで1チャンネルサンプリングを使用するデジタイザ(A/Dボード)で行いました。この表には、結果の違いを示すためのさまざまなプログラム設定もリストされています。各セグメントサイズの最良の結果は黄色でハイライトされた行です。

## 新機能 - 平均化にCUDAベースのGPUを使用

SPECTRUM 社は、非常に高速なデータ

```
SPCM_THREAD_RETURN SPCM_THREAD_CALLTYPE pvAverageSegmentPart (void*
pvArguments)
{
    SPCM_AVERAGE_DATA* pstData = (SPCM_AVERAGE_DATA*) pvArguments;
    int32 i, j;
    int32 iStart;
    int32 iEnd;
    int32 lNumSegments = pstData->lNumSegments;
    int32* plAverageData = pstData->plAverageData;
    int8* pbyData = pstData->pbyData;

    while (pstData->bRunNotQuit)
    {
        spcm_vWaitEvent (&pstData->hStart);
        for (j=0; j<lNumSegments; j++)
        {
            iStart = j * pstData->lSegmentSize + pstData->lStartOffset;
            iEnd = pstData->lStartOffset + pstData->lAverageSize;
            for (i=iStart; i < iEnd; i++)
                plAverageData[i] += (int32) pbyData[i];
        }
        spcm_vSignalEvent (&pstData->hEnd);
    }
    return 0;
}
```

図 11. テストソフトウェアのソースコード

| Samplerate | Segmentsize  | Averages | Notifysize | Mode     | Threads | Max Triggerrate | CPU Load |
|------------|--------------|----------|------------|----------|---------|-----------------|----------|
| 5GS/s      | 32k Samples  | 1000     | 1M Byte    | Hardware | —       | 150kHz          | < 5%     |
| 5GS/s      | 128k Samples | 1000     | 1M Byte    | Hardware | —       | 38kHz           | < 5%     |
| 5GS/s      | 256k Samples | 1000     | 256k Byte  | Software | 2       | 10.3kHz         | 25%      |
| 5GS/s      | 256k Samples | 1000     | 1M Byte    | Software | 2       | 12.6kHz         | 17%      |
| 5GS/s      | 256k Samples | 1000     | 1M Byte    | Software | 4       | 12.8kHz         | 16%      |
| 5GS/s      | 256k Samples | 1000     | 1M Byte    | Software | —       | 6.4kHz          | 14%      |
| 5GS/s      | 512k Samples | 1000     | 512k Byte  | Software | 2       | 5.9kHz          | 25%      |
| 5GS/s      | 512k Samples | 1000     | 512k Byte  | Software | 4       | 6.0kHz          | 29%      |
| 5GS/s      | 512k Samples | 1000     | 1M Byte    | Software | 4       | 6.4kHz          | 23%      |
| 5GS/s      | 512k Samples | 1000     | 2M Byte    | Software | 4       | 6.4kHz          | 23%      |
| 5GS/s      | 512k Samples | 1000     | 8M Byte    | Software | 4       | 6.4kHz          | 14%      |
| 5GS/s      | 512k Samples | 1000     | 8M Byte    | Software | —       | 3.4kHz          | 14%      |
| 5GS/s      | 1M Samples   | 1000     | 1M Byte    | Software | —       | 1.5kHz          | 16%      |
| 5GS/s      | 1M Samples   | 1000     | 1M Byte    | Software | 2       | 2.9kHz          | 24%      |
| 5GS/s      | 1M Samples   | 1000     | 1M Byte    | Software | 4       | 2.9kHz          | 23%      |
| 5GS/s      | 1M Samples   | 100      | 1M Byte    | Software | 4       | 2.9kHz          | 30%      |
| 5GS/s      | 1M Samples   | 10000    | 1M Byte    | Software | 4       | 2.9kHz          | 23%      |
| 5GS/s      | 2M Samples   | 1000     | 2M Byte    | Software | —       | 0.7kHz          | 14%      |
| 5GS/s      | 2M Samples   | 1000     | 2M Byte    | Software | 4       | 1.3kHz          | 40%      |
| 5GS/s      | 4M Samples   | 1000     | 4M Byte    | Software | —       | 340Hz           | 15%      |
| 5GS/s      | 4M Samples   | 1000     | 4M Byte    | Software | 2       | 410Hz           | 24%      |
| 5GS/s      | 4M Samples   | 1000     | 4M Byte    | Software | 4       | 390Hz           | 50%      |
| 5GS/s      | 8M Samples   | 1000     | 8M Byte    | Software | —       | 160Hz           | 14%      |
| 5GS/s      | 8M Samples   | 1000     | 8M Byte    | Software | 2       | 190Hz           | 35%      |

表 4. ハードウェア又はソフトウェアを使用してアベレーシングを実行した場合のCPUへの負荷

処理のためにSCAPP (Spectrum CUDA Access for Parallel Processing) オプションを使用したブロック平均化の例をいくつかリリースしました。基本的な概念は上記と同じで、取得はデジタイザ(A/Dボード)によって行われデータはPCIeバスを介し

て連続的に転送されます。ただし、CPUで平均化を計算する代わりにGPUが使用されます。GPUソリューション

の大きな利点は、並列計算用に設計されていることです。これにより、あらゆる種類のブロック平均化プロセスに最適です。

SCAPPを使用すると、RDMA(リモートダイレクトメモリアクセス)転送を使用してデータをGPUに直接転送できます。この





場合、他の平均化製品で通常見られる長さや計算能力の制限なく、高速の時間領域および周波数領域の信号平均化を実行できます。

たとえば、M4i.2220-x8 A/D ボードは、2.5GS/s で信号をサンプリングし、平均化される信号の長さが数秒であっても、イベントを見逃すことなく連続的に平均化できます。

同様に、14bit 分解能の M4i.4451-x8 A/D ボードは、450MS/s で 4ch の信号を同時にサンプリングしながら同じ機能を実行できます。A/D ボードには、柔軟なトリガー、取得、および読み出しモードも含まれているため、トリガーレートが非常に高い場合でも信号を平均化できます。最高性能の FPGA を必要とする FPGA ベースのソリューションとは対照的に、GPU ベースの平均化は、エントリーレベルの GPU カードを使用しても、フルスピードで実行することができます。表 5 に、以前と同様のセットアップを使用した GPU でのテスト結果の一部を示します。

これらの結果は、Quadro P2000 GPU を使用して達成されました。表に示されているように、セグメントサイズまたはブロックサイズはパフォーマンスを制限していません。ここでの唯一の制限要因は GPU のメモリです。

### GPU による周波数領域の平均化

周波数領域を平均化する必要がある場合は、GPU を使用することで FPGA ソリューションと比較して非常に大きなブロックサイズを実現することができます。周波数領域の平均化は、ブロックの FFT とそれに続く FFT 結果の合計で構成されます。この場合、処理は 2 つのステップで構成され、FFT 計算は処理能力の点で非常に要求が厳しくなります。PC は高速の FFT 変換に適していないため、周波数領域の平均化では、FPGA 以外に GPU が唯一のソリューションです。

表 6 は、最大サンプリングレートが 500 MS/s の M4i.4451-x8 4ch, 14bit デジタイザ (A/D ボード) を使用したテスト結果を示しています。収集は事実上ギャップがなく、各ブロックは電圧レベルに変換され、周波数領域に変換されてから平均化されます。

### まとめ

以上の結果から、PC ベースのソフトウェアでのブロック平均化は、繰り返し率が高くない限り全体的なセグメントサイズを改善することができます。GPU を使用すると、処理が高速化しバス転送速度の限界に達することもあります。PCIe バスの高速データ転送速度のおかげで、FPGA ベースの平均化プロセスの主な制限の 1 つを克服して、はるかに長い収集を平均化することができます。転送速度を拡張する高い繰り返し率を管理する必要がある状況では、ハードウェアブロックの平均化が依然として最良の選択です。

ここで使用したテストプログラムは、独自のテストや他のソフトウェアプログラムへの実装のベースとして自由に使用できます。GPU のサンプルコードは SCAPP オプションの一部であり、SPECTRUM のお客様は NDA をベースに利用できます。1MB の Notifysize を使用すると最高のパフォーマンスが得られます。実行されるアベレーシングの数は、テスト結果から影響はありません。結果セグメントのコピーと結果バッファのクリアに使用される時間は、サンプ

ルの合計とは関係ありません。

複数のチャンネルを取得する場合、完全なデータ処理と合計プロセスに違いはないため、結果は他のチャンネルの組み合わせに対して簡単に再計算できます。次の設定はすべて、まったく同じ最大トリガーレートになります。

- 1 チャンネル 5GS/s @segmentsize
- 2 チャンネル 2.5GS/s @segmsize/2
- 4 チャンネル 1.25GS/s @segmsize/4

1 つのチャンネルのサンプリング速度を 2.5GS/s に下げると、1 つのチャンネルを理論上の最大のソフトウェア平均速度で実行できます。トリガー間の 160 サンプルのデッドタイムを含む 1MSample セグメント化の場合、理論上の最大トリガーレートは次のようになります。

$(2.5\text{GS/s}) / (1\text{MSample} + 160) = 2.38\text{ kHz}$   
これは、測定された最大値 2.9 kHz @ 5GS/s をはるかに下回っていることがわかります。

リファレンスドキュメント：

SPECTRUM 社 White Paper : Using software based fast block averaging

| Samplerate | Segmentsize  | Averages | Notifysize | Mode | Threads | Max Triggerrate | CPU Load |
|------------|--------------|----------|------------|------|---------|-----------------|----------|
| 5GS/s      | 32k Samples  | 1000     | 1M Byte    | GPU  | —       | 103kHz          | < 5%     |
| 5GS/s      | 256k Samples | 1000     | 1M Byte    | GPU  | —       | 12.9kHz         | < 5%     |
| 5GS/s      | 1M Samples   | 1000     | 1M Byte    | GPU  | —       | 3.2kHz          | < 5%     |
| 5GS/s      | 4M Samples   | 1000     | 4M Byte    | GPU  | —       | 810Hz           | < 5%     |
| 5GS/s      | 16M Samples  | 1000     | 16M Byte   | GPU  | —       | 203Hz           | < 5%     |
| 5GS/s      | 64M Samples  | 1000     | 64M Byte   | GPU  | —       | 51Hz            | < 5%     |
| 5GS/s      | 256M Samples | 1000     | 64M Byte   | GPU  | —       | 13Hz            | < 5%     |
| 5GS/s      | 1G Samples   | 1000     | 64M Byte   | GPU  | —       | 3Hz             | < 5%     |

表 5. GPU を使用してアベレーシングを実行した場合の CPU 負荷

| Samplerate | Channels   | Resolution | Blocksize    | Notifysize | Mode | Max Triggerrate | CPU Load |
|------------|------------|------------|--------------|------------|------|-----------------|----------|
| 500MS/s    | 1 channel  | 14 bit     | 512k Samples | 1M Byte    | GPU  | 1kHz            | < 5%     |
| 500MS/s    | 1 channel  | 14 bit     | 1M Samples   | 2M Byte    | GPU  | 500Hz           | < 5%     |
| 500MS/s    | 1 channel  | 14 bit     | 2M Samples   | 4M Byte    | GPU  | 250Hz           | < 5%     |
| 500MS/s    | 1 channel  | 14 bit     | 8M Samples   | 4M Byte    | GPU  | 62Hz            | < 5%     |
| 500MS/s    | 1 channel  | 14 bit     | 32M Samples  | 4M Byte    | GPU  | 16Hz            | < 5%     |
| 500MS/s    | 1 channel  | 14 bit     | 128M Samples | 4M Byte    | GPU  | 4Hz             | < 5%     |
| 500MS/s    | 1 channel  | 14 bit     | 256M Samples | 4M Byte    | GPU  | 2Hz             | < 5%     |
| 500MS/s    | 2 channels | 14 bit     | 256k Samples | 1M Byte    | GPU  | 2kHz            | < 5%     |
| 500MS/s    | 2 channels | 14 bit     | 512k Samples | 2M Byte    | GPU  | 1kHz            | < 5%     |
| 500MS/s    | 2 channels | 14 bit     | 1M Samples   | 4M Byte    | GPU  | 500Hz           | < 5%     |
| 400MS/s    | 4 channels | 14 bit     | 128k Samples | 1M Byte    | GPU  | 3kHz            | < 5%     |
| 400MS/s    | 4 channels | 14 bit     | 256k Samples | 2M Byte    | GPU  | 1.5kHz          | < 5%     |
| 400MS/s    | 4 channels | 14 bit     | 512M Samples | 4M Byte    | GPU  | 750Hz           | < 5%     |

表 6. GPU を使用して周波数領域のアベレーシングを実行した場合の結果

## TECHNOLOGY

# ミリタリコンピュータの高度な冷却技術

### 最新のミリタリアプリケーション

最新のミリタリおよび航空宇宙アプリケーションには、処理能力の向上が常に求められます。インテリジェンス、監視および偵察 (ISR)、自律運用の拡大、オンボード診断、ロジスティクスの迅速化により、構成および展開できるパフォーマンスの量が向上しています。軍隊がネットワーク中心の運用に向かうにつれて、データ、音声、ビデオをほぼすべての機材と迅速に共有する機能がますます重要になっています。これらの操作をサポートするには、過酷な環境に組み込まれた高度なコンピューティングパフォーマンスが必要になります。

これらミリタリコンピューティングのニーズは、コンシューマサプライヤーがより小型で薄型のパッケージにより強力な電子機器を提供する傾向によってさらに複雑になっています。近年、電子部品は機能を維持または向上させることでサイズが大幅に縮小されています。半導体の微細化、マルチコアアーキテクチャの開発、および次世代のマルチ対応デバイスの進歩により、計算およびグラフィックスのパフォーマンス機能が格段に向上し、旧世代の組み込みコンピュータを大幅に上回っています。

ミリタリ/ 航空宇宙の現場は、窮屈で限られたスペースによって状況が悪化してい

ます。この傾向は、COTS (市販の既製品) ソリューションプロバイダーに固有の課題をもたらします。

SWaP (サイズ、重量および電力) がミリタリおよび航空宇宙システムの設計において主要な考慮事項になるにつれて、主要な指標としてのパフォーマンス/ 電力が実パフォーマンスに取って代わりました。プロセッサメーカーは、低電力/ 放熱技術で対応してきましたが、これにはパフォーマンスの点で理解できる妥協点があります。

家庭用電化製品と高耐久性の軍事システムの違いを分析すると、重要な課題が明らかになります。家庭用電化製品のアプリケーションがミッションクリティカルではなく、中程度の環境で動作し、5 ~ 10 年の限られた寿命が予想される場合、ミリタリコンピューティングシステムは多くの点でこれとは正反対です。Abaco 社が開発したような要求の厳しい環境向けの COTS

ミリタリコンピューティングは、最新世代のプロセッサ、GPU、スイッチファブリック、メモリ高速化により設計者はより多くの計算能力を利用できるようになりました。しかし、パフォーマンスの向上には設計者が管理する必要がある消費電力の課題が伴います。ここでは、消費電力の増加による発熱の課題について説明するとともに、アプリケーションのパフォーマンスを最大化するために利用できる次世代の放熱ソリューションについて説明します。

高耐久性ソリューションは、同じコンポーネントを使用することがよくありますが、ミリタリシステムは一般消費者向けのシステムよりもはるかに過酷な環境で動作します。

### Abaco 社の耐環境レベル

Abaco 社は、5 レベルシステムを使用した耐環境 COTS 製品の認定について規定しています (図 13)。5 つのレベルは、ミリタリ/ 航空宇宙アプリケーションで発生する可能性のあるさまざまなレベルの振動、衝撃、および動作温度を定義します。最も過酷な LEVEL 5 では、カードの端が 85℃ に達し 0.1g2/Hz の振動と 40g のピークショックが持続します。これらボードを含む堅牢なシステムは、71℃ の周囲温度と 0.1g2/Hz よりもはるかに高い振動レベルに対応することができます。

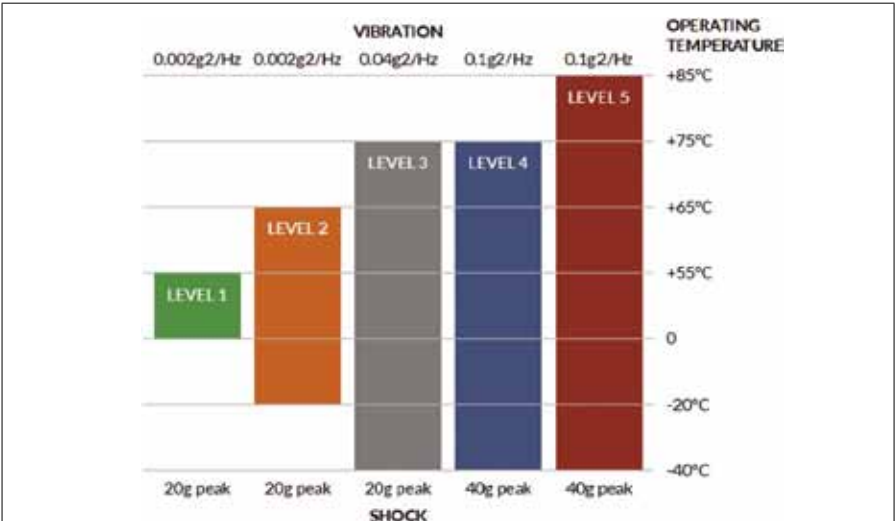


図 1 3. Anaco Systems 社の耐環境レベル





図 14. Abaco 社の耐環境コンピュータ

例えば、一般のノートブックPCにダクトテープで通気孔を密閉し、71℃の恒温槽に入れ0.1g2/Hzの持続振動で恒温槽を振動させてから、恒温槽を4フィート(約1.2m)からコンクリートに落下させます。そしてデバイスが20年間動作することを期待しています。これが、耐環境のミリタリコンピュータが克服しなければならない課題です。

基本的に、これらのシステムはCOTSチップと一般電子機器を使用する可能性があることを考えると、これらのシステムを実現するための機械的および熱設計の開発には大きな課題があります。前述したコンピュータの進歩は、チップ表面積あたりの熱放散(または熱流束)が大幅に増加したことを意味しています。図15は、近年のこの傾向を示しています。

現在の100W/cm<sup>2</sup>の熱流束レベルは、ホットプレートなどのデバイスの熱流束を超えており、原子炉と同様の熱流束に達していることがわかります。ホットプレートと原子炉が高温材料でできている場合、一般的な半導体デバイスには、最大接合部温度とも呼ばれる、明確に定義された最大動作温度があります。これらは通常、95℃～105℃の範囲です。多くの高度な半導体コンポーネントは、推奨動作温度を超えると性能を低下させる可能性があります、それらが可能な性能レベルよりも低い性能レベルで動作させることは非効率的で無駄です。

### COTS耐環境コンピューティングシステムの高度な熱管理

エッジ温度が85℃の一般的な耐環境Level-5ボード、および95℃～105℃の範囲の一般的な半導体接合限界により、10℃～20℃のサーマルバジェットでダイ

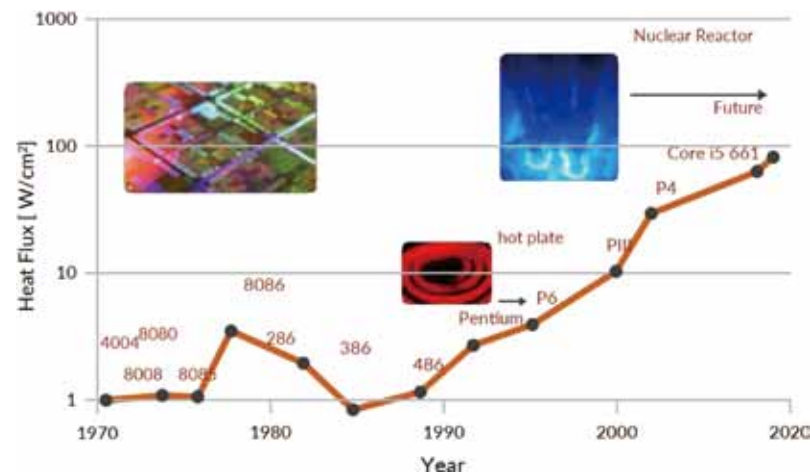


図 15. CPU の熱流束に関する近年の上昇カーブ

表面からカードエッジまで30～50Wの熱レベルを放散できます。熱管理ソリューションによる熱除去の効率は、特定の電力に対するダイの最終温度を決定します。高度な熱管理により、接合部温度を下げたり、耐環境システムにさらに多くのパワーチップアーキテクチャをインストールしたりできます。

熱管理は2つの方法で支援します。チップがより効率的に放熱できるようにすることで、同じ電力密度でより強力なチップを実装することができます。あるいは、信頼性が顧客の主な要件である場合は同じ電力レベルのチップをより低い動作温度で実行できます。

図16と図17にそれぞれ示すように、低い動作温度で動作するチップはリーク電力損失を減らし信頼性を高めています。これにより、製品は厳しいLevel-5の85℃カードエッジ(または71℃のシステムレベルの周囲温度)を超えても高温環境で動作することができます。

標準的なミリタリ向け耐環境ソリューションのコンポーネントには、シャーシ内にヒートフレームが取り付けられたコンピュータボードが含まれます(図18)。

コンピュータボードは、GPU、CPU、またはその他のコンポーネントをホストできます。ヒートフレームとウェッジロックはカードに機械的なサポートを提供し、発熱コンポーネントからシャーシに熱を伝導するのに役立ちます。通常、複数のカードアセンブリは耐環境のシャーシ内に設置され過酷な環境で高度な機能を提供します。

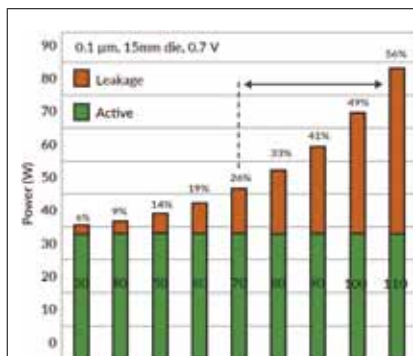


図 16. 温度によるリーク電力損失の違い

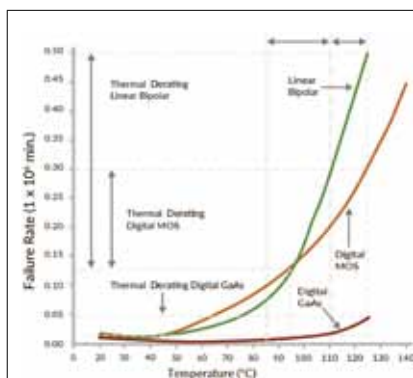


図 17. 温度と故障率のカーブ

### コンダクションクール(伝導冷却)の熱伝達経路

高度な熱管理ソリューションが重要であることは明らかです。高度なミリタリコンピューティングシステムの熱管理は、パフォーマンス、信頼性、および電力消費に影響を与えます。

コンダクションクール型の高性能コンピューティングソリューションの一般的な熱伝達経路は、図19に示すように3つの主要な要素で構成されています。

#### 1. Extrac(抽出)

ヒートスプレッドとPCBに取り付けられたチップ間の効率的な熱接続は、チップの取り付けと平面性の許容誤差を考慮しながら、効率の高い熱接続を提供します。熱流束はチップの近くで最も高いため、熱経路のこの部分の性能はシステムの熱性能に大きな影響を与えます(注: 熱の一部はPCBに移動し効率の低い熱経路になります。)

#### 2. Move(移動)

ヒートスプレッドに入ると、熱はヒートフレームに移動しヒートフレームの側面とカードの端に伝導されます。カードの端では、熱はヒートフレームとウェッジロックのインタフェースを介してシャーシの壁に伝導され、ウェッジロックが機械的なりテーナとして機能します。シャーシの壁は、外面の多数のフィンまたはお客様が用意したコールドプレートに熱を拡散します。

#### 3. Reject(除去)

外側では、冷却剤(通常は空気)が強制対流または自然対流によって熱を除去します。

### Abaco社とGEグローバルリサーチセンター(GRC)による次世代の熱管理ソリューションの開発

国防高等研究計画局(DARPA)プロジェクトへの参加を通じて、Abaco社はGEグローバルリサーチセンター(GRC)と協力して革新的な熱放散の技術開発におけるリーダーとしての地位を確立しました。

GE社は、ラボから運用環境への熱技術の移行が成功したことにより、DARPAプログラムの戦略的差別化要因として知られています。DARPAプログラムの例には、Thermal Ground Plane(TGP)やNano Thermal Interface(NTI)が含まれます。DARPAプログラムの開発に加えて、Thermal Management Technology BridgeやDual Cool Jets(DCJ)などの内部GEプログラムが、クラス全体で最高のパフォーマンスシステムに導入されました。これらの技術は、Abaco社に譲渡またはライセンス供与されています。

#### Nano Thermal Interface (NTI)

Nano Thermal Interfaceプログラムの

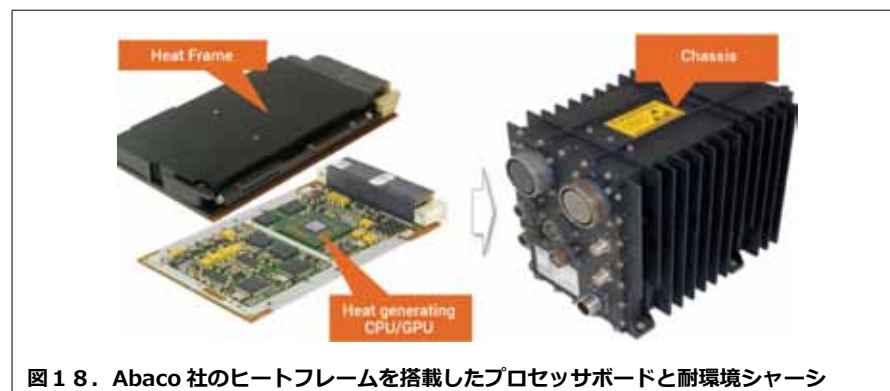


図 18. Abaco 社のヒートフレームを搭載したプロセッサボードと耐環境シャーシ

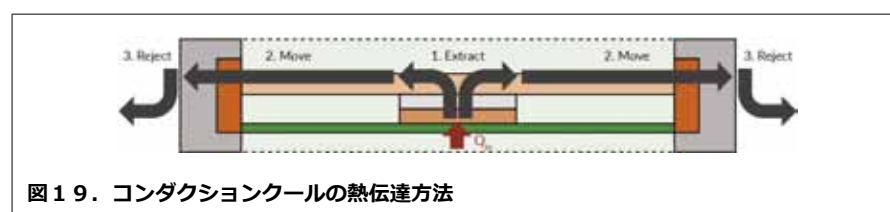


図 19. コンダクションクールの熱伝達方法

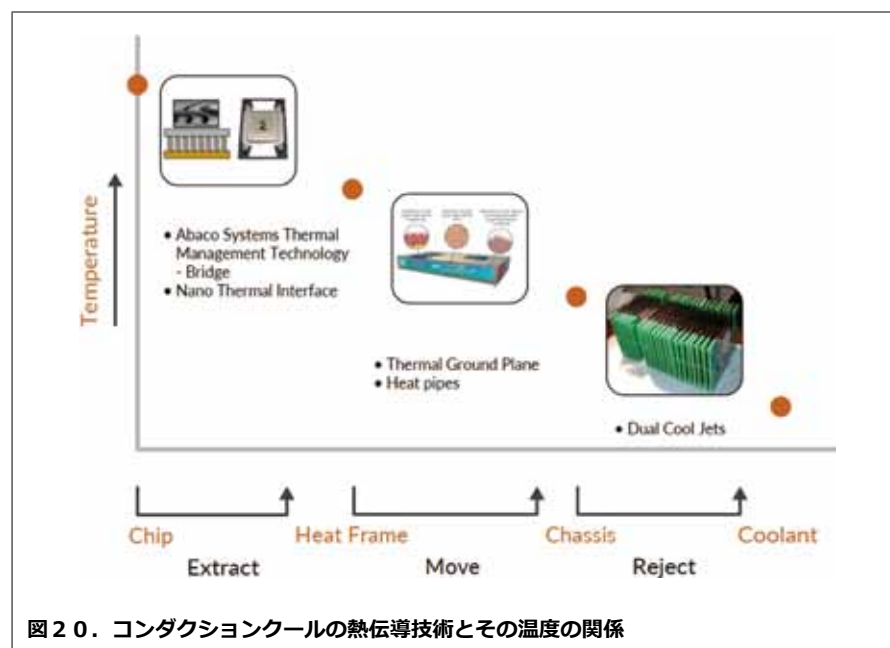


図 20. コンダクションクールの熱伝達技術とその温度の関係

目的は、最先端のインタフェース材料よりも熱抵抗が10倍向上した熱インタフェース材料(TIM)を開発することでした。3フェーズプログラムの最終的な目標は0.01 cm<sup>2</sup>-C/W未満の熱抵抗を達成し、240℃未満で再加工可能性と組立加工を可能にし、130℃で1,000時間以上、100℃以上で安定した寿命を実現することでした。温度は-40℃から150℃まで循環します。

NTIは、シリコンチップと銅ヒートシンクなどの膨張係数の不一致材料間のマイクロギャップを埋めることができるインタフェースを提供し、2つの表面間で効率的な低熱抵抗接続を行います。

ポリマーやシリコンなどの従来のイン

タフェース材料は熱伝導率が低く、銅、銀、はんだなどの高熱伝導率材料はコンプライアンスが低いため大きな課題となっています。

NTIは、ナノスプリングの正確な適合形状に調整された銅などの高熱伝導率材料を利用することにより、革新的な新しいインタフェースを導入します(図21)。

この適合サーマルインタフェース材料により、ボンドライン内の適合構造を使用し、薄いはんだボンドラインが可能になり、0.01 cm<sup>2</sup>-C/W未満の熱抵抗を実現できます。この構造では、2枚の材料プレートの間に挟まれた銅ナノスプリングのアレイを使用して、それぞれの界面材料(シリコンと銅など)の熱膨張を一致させます。



これらの合わせ面間の薄いはんだ結合線とナノスプリング層の高い熱伝導率により、0.01 cm<sup>2</sup>C/W未満の熱抵抗が得られ、DARPAの要件を超えています。ナノスプリング層のコンプライアンス(図22)は、はんだ層よりも2桁高いため熱応力ははんだ層ではなくナノスプリングによって伝達されます。ナノスプリングワイヤーは、バルク銅の3倍の強度があります。このアプローチのTRL(技術準備レベル)とMRL(製造準備レベル)はレベル4です。

### Abaco社のThermal Management Technology Bridge

要求の厳しいコンダクションクーラアプリケーションの場合、今日の最先端のソリューションは、デバイス表面のグリース(TIM1)や金属ヒートスプレッドおよびギャップパッド(TIM2)などのサーマルインタフェース材料のスタックを使用して、1つ以上の高出力プロセッサに取り付けられた金属ヒートフレームを利用します。このような構成は組み立てが面倒であり、PCBヒートシンクの組み立て中に位置合わせの制約が生じます。従来のギャップパッドを使用することによりアセンブリの変動が制御されていない場合、ダイにかかる応力によってはんだボールとダイが割れる可能性があります。

Abaco社のThermal Management Technology Bridgeは、基礎となる電子デバイス(通常はCPU)からヒートシンクに、そしてサブシステムシャーシを介して熱を伝達するための「完璧な」通路を提供することによりこれらの欠点に対処します。図23と24は、Thermal Management Technology Bridgeの熱ソリューションを示しています。

Thermal Management Technology Bridgeは、製造プロセス中にヒートシンクに数秒で取り付けることができる厚さ2mmの自己完結型カートリッジです。カートリッジには、低融点はんだを囲む柔軟な膜が含まれています。フレキシブルメンブレンには、冷却対象のデバイスに直接接続するための圧力を提供する金属スプリングを備えた高性能ヒートスプレッドも組み込まれています。Thermal Management Technology Bridgeは、事前に組み立てられた「Frozen」状態でヒートスプレッダー

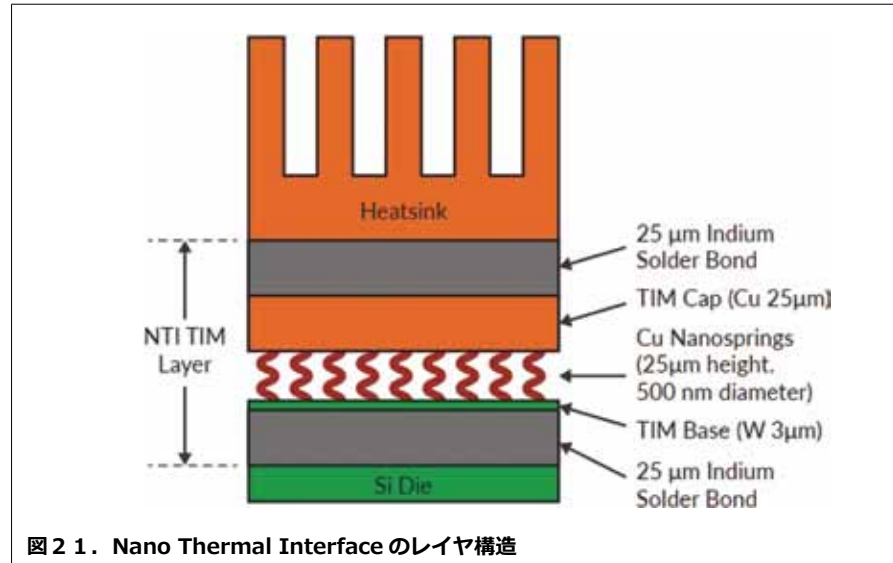


図21. Nano Thermal Interfaceのレイヤ構造

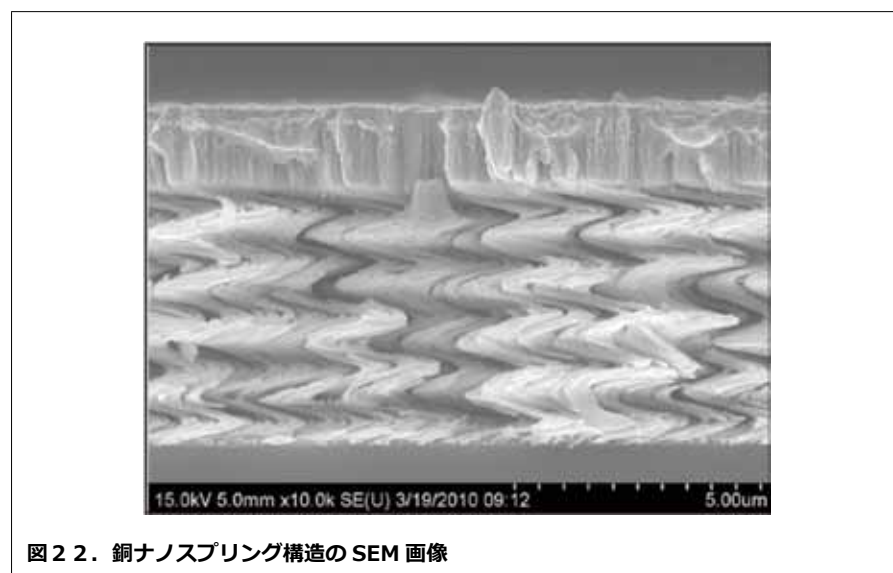


図22. 銅ナノスプリング構造のSEM画像

の下側に取り付けられ、スプリングが圧縮されて、固体状態の低融点はんだの内部に含まれます。組み立て後、システムは短時間の中程度の温度変化を経て、低融点はんだが溶けスプリングが内部ヒートスプレッドをダイ表面に広げるようにします。

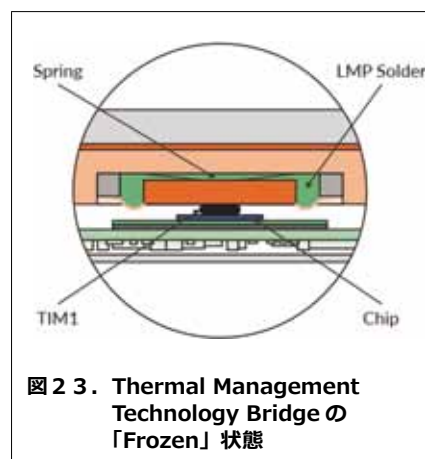


図23. Thermal Management Technology Bridgeの「Frozen」状態

低融点はんだが広がるとフレキシブルメンブレンの後ろのスペースが埋められ、2つの表面の間に完全な結合が形成され効率的な熱伝達が可能になります。

これにより、図24に示すように、Thermal Management Technology Bridgeが

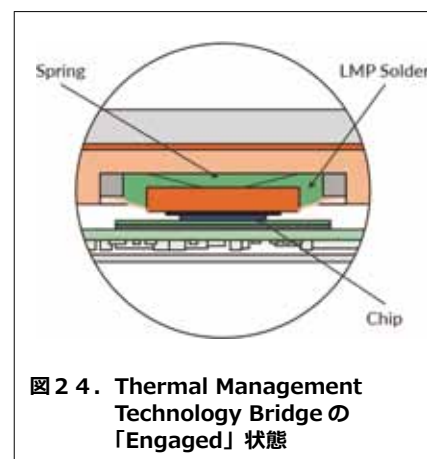


図24. Thermal Management Technology Bridgeの「Engaged」状態

「Engaged」状態になります。

Abaco社のThermal Management Technology Bridgeは、面倒な組み立ての問題を3つの方法で解決します。まず、サーマルインタフェース材料スタック全体(TIM1、ヒートスプレッド、TIM2)が単一のブリッジカートリッジに組み込まれています。次に、ブリッジカートリッジはプロセッサの正確な位置にあるヒートシンク表面に事前に組み立てられています。これにより、位置合わせエラーの可能性が排除されます。最後に、ブリッジカートリッジの「自己調整」の性質を考えると、ダイの高さや非平面性の測定は必要ありません。さらに、ダイへの接触圧力を正確に制御できます。その結果、PCB - ヒートシンクの組み立てプロセス中に、コストと時間のかかる計測および位置合わせの手順を完全に排除できます。

優れた多くの発明と同様に、Abaco社のThermal Management Technology Bridgeはそのシンプルさが特徴です。さまざまなデバイスやプラットフォームに簡単に導入できる柔軟性を備えていますが、妥協することなく真に「1つのサイズですべてに対応」するソリューションです。アプリケーションが何であれ、接合する表面の欠陥に関係なく、デバイスとヒートシンクの間に最適な熱経路が作成されます。その結果、デバイスの冷却がより効率的になり、システム設計者は他の方法よりも高性能のデバイスを利用できるようになります。

### Thermal Ground Plane(TGP)

Abaco社のThermal Ground Plane(TGP)は、熱放散能力を大幅に強化し過酷な環境でより複雑なコンピューティング操作をサポートします。現在のほとんどの耐環境コンピューティングシステムでは、熱の拡散はアルミニウムまたは銅ベースのヒートフレームを使用した固体伝導によって実現されます。これらのすぐに利用できるヒートフレームは、既存のシステムの熱放散のニーズに適切に対応できますが、これらのヒートフレームの熱抵抗は、次世代の堅牢なコンピューティングシステムを制限しています。

Abaco社は、GRC、DARPA、エアフォース研究所(オハイオ州デイトン)、およびシ

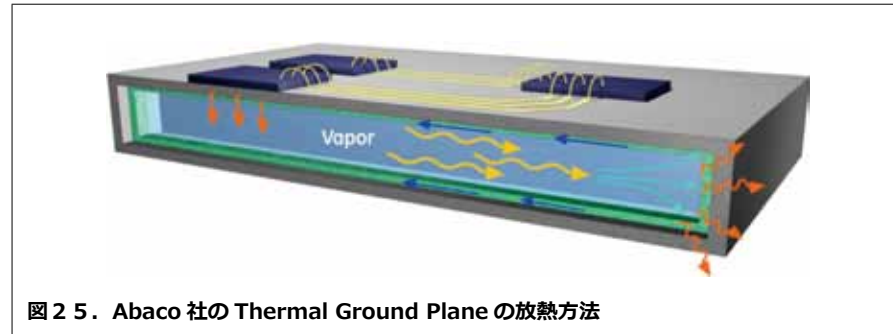


図25. Abaco社のThermal Ground Planeの放熱方法

ンシナティ大学と協力して、アルミニウムまたは銅ベースのヒートフレームに代わるTGPベースのヒートスプレッド技術を開発し、現在のシステムよりも2倍以上の熱放散と性能向上の可能性を提供します。

TGPテクノロジーは、アルミニウムまたは銅のヒートフレームの固体伝導ではなく、2相熱伝達を利用することにより効果的な高熱伝導性能を実現します。図25に示すように、TGPの内部は飽和状態の作動流体で部分的に満たされています。熱がTGPに入ると、液体が蒸発し蒸気圧が局所的に上昇します。次に、蒸気はデバイス内を移動して、凝縮する低温領域に移動します。

排熱領域では、蒸気が結露によって外側の冷たい壁に熱を放出します。凝縮した作動流体は、TGPケースのマイクロ/ナノエンジニアリングされた内面によって引き起こされる毛細管力により、高温セクションに逆流します。この熱伝達サイクルは、熱源が熱を発生し続け作動流体を気化させ続ける間も続きます。

GRC(GE Global Research Center)は、次の機能を備えたTGPヒートスプレッドを実証しました：

- 銅の固体熱伝導率の50倍以上
- 熱膨張係数と熱源に使用される半導体材料との理想的なマッチング
- 10G以上の連続加速度での動作

GRCは、TGPベースのヒートスプレッドテクノロジーの適用を通じて、最先端のCPUテクノロジーと最新のGPUテクノロジーを組み合わせることで前例のないレベルを実現する3U VPX耐環境コンピュータであるMAGIC1の大幅な機能強化と耐環境アプリケーションのパフォーマンスの向上を実証しました(図26)。

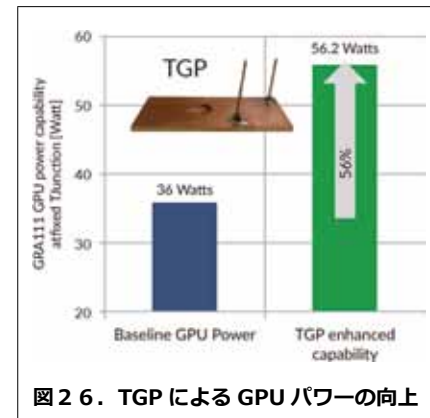


図26. TGPによるGPUパワーの向上

### ヒートパイプシステム

SBCカードにメザニンカードを搭載することによる発熱の課題は重要です。XMCまたはPMCカードは熱負荷を追加するだけでなく、プロセッサからカードの端に熱を拡散するために必要なヒートフレーム断面積を減らします。

Abaco社は、プロセッサカードのヒートフレーム内で利用できる認定ヒートパイプ技術を採用しています。このヒートパイプは、過酷な軍事環境に対応しています。固体銅ヒートフレームと比較した場合、2.5倍の熱改善が実証されています。これにより、プロセッサを最大の能力で実行したり、動作温度を下げて信頼性を高めることができます。



図27. Abaco社のヒートパイプシステム



ヒートパイプは何十年も前から存在しており、航空宇宙用途で使用されています。これらは信頼性が高く、正しく設計されているか正しく取付けられている場合、加速負荷時に機能します。ヒートパイプの原理は、チューブの形をしていることを除けば、前述のサーマルグランドプレーンと似ています。

ヒートパイプは、熱負荷のある表面から別の冷たい表面に熱を移動させて熱を排除するために使用されます。熱を移動する能力は、直径、長さ、吸上構造、経路、結合などの多くの変数に依存します。GRCは、Abaco社アプリケーションのヒートパイプのサイズ設定を支援し、最適なソリューションが使用されるようにしました。

Abaco社には、シャーシの壁の内側にヒートパイプを使用して高温の領域から低温の領域に熱を移動するオプションがあります。これにより、シャーシを低温で実行できるようになり、最終的には内部に取り付けられたカードをより高温で動作できるようにするか、シャーシの外部環境を向上させることができます。システムでヒートパイプを使用することは、より多くの処理をより少ないボリュームで実行でき、または電力入力を減らして同じパフォーマンスを実現できるため、SWaPの改善となります。

## デュアルクールジェット (DCJ)

前述の高度な熱管理技術によって熱がシャーシの壁により効果的に移動するため、シャーシの外側から熱を効果的に除去することには大きな課題が残ります。過酷な環境で信頼性の高いパフォーマンスは軍事用コンピューティングシステムの重要な要件であるため、対流の選択肢は限られています。ベアリングなどの寿命の限られたコンポーネントが使用されるため、空気の移動にファンを使用することは望ましくありません。自然空気の対流冷却は、熱風がシャーシ表面を包み込み、ある意味でエンベロープを取り巻く冷気とシャーシが熱的に接続するのを防ぐため困難な熱障壁があります。

翼型の流体工学とLED照明ソリューションの冷却のために最初に開発されたデュアルピエゾ冷却ジェット (DCJ) テクノロジーは、過酷な環境での信頼性の高い動

作を実証した効率的で効果的な冷却テクノロジーを提供します (図28)。DCJは、ベアリングや潤滑剤システムを必要としない圧電マイクロ流体デバイスであるため、砂やほこりが含まれる可能性のある環境に最適です。

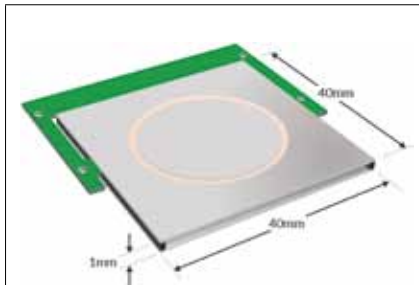


図28. DJC マイクロ流体デバイスの形状

DCJの前面は、空気の取り込みと排出のために開いています。

DCJは、ピエゾ素子に100～175HzのAC電圧を印加することで動作し、システムの共振モードを励起します。このデバイス動作の低周波数範囲は、動作モードに応じて25～35dBaの低音響A-加重ノイズ出力をもたらします。図29に示すように、両方のピエゾ素子が同じミラリングされた次の共振形状を経験するため、流体はアウトストローク中に高速で放出されインテークストロークでデバイスに取り込まれます。図30および図31のIR測定画像に示されているように、これらのデバイスのうち6つを高耐久性のミル/エアロシャーシに統合することで3.4倍を超える対流の強化が実証されました。

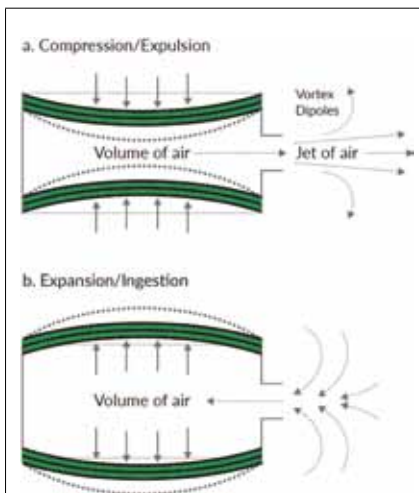


図29. DJCの冷却方法

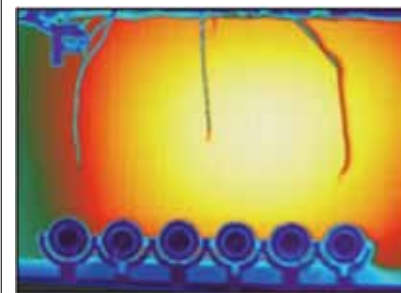


図30. シャーシ加熱、DJC=「オフ」状態で温度46℃に上昇

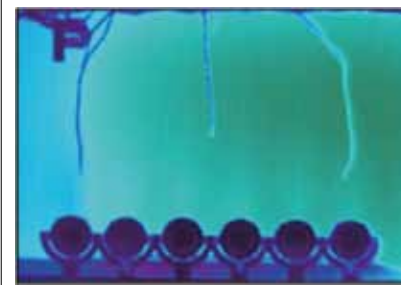


図31. シャーシ加熱、DJC=「オン」状態で温度17℃に下降

## まとめ

Abaco社は、耐環境COTSソリューションの開発において広く認められ業界をリードしています。ここで説明しました新しい冷却テクノロジーにより、Abaco社はそのリーダーシップを拡張し、以前よりも大幅に多くの熱を放散する機能をもたらし、より高性能なプロセッサを使用したり既存のプロセッサをより高いクロック速度で動作したりできるようになります。

近年、ミリタリ/航空宇宙システムのパフォーマンスは、限られたスペース制限（および重量制限）環境で冷却を提供する能力が限られているために制約されています。Abaco社の高度な放熱技術は、ミリタリ/航空宇宙向けの新しい高性能組み込みコンピューティング (HPEC) パラダイムの構築を可能にし、これまでよりも高性能なプロセッサを組み込むための準備を整えることを約束します。

リファレンスドキュメント:

Abaco Systems社 WHITE PAPER  
Enhanced cooling technologies for superior reliability, performance

## TECHNOLOGY

# 低レイテンシのCOTSソリューション

## 低遅延処理



低遅延処理は、電子戦 (EW) システムの重要な要件です。システムパフォーマンス要件を満たし、現在および将来の脅威に直面する可能性のあるEWシステムを提供することは、システム設計者にとって継続的な課題です。

レーダとEWの主な違いは、EWシステムは脅威にナノ秒単位で応答する必要があるのに対し、レーダはミリ秒単位の遅延を許容できることです。特にユーザーがEWドメイン内のどこに脅威があるかを知らない場合、脅威もこれらのシステムに影響されます。スペクトルは非常に広い範囲で、特定の脅威を探すためにその広い無線周波数 (RF) スペクトルのどこでも応答が必要になるため、非常に低い遅延処理が必要です。一方レーダドメインでは、送信されたものがわかっておりその場所がわかっています。そのため、一定の待ち時間と応答するための一定の時間があります。

更に、コグニティブRFやコグニティブEWをサポートする新しいテクノロジーには、大幅な処理パフォーマンスの飛躍が必要です。これは、サイズ・重量・電力を大幅に増やすことなく達成する必要があります。

す。これらの新しい方法論は、ミッション中に現場の新しい脅威を検出、学習、および適応できる再構成可能なハードウェアとソフトウェアに依存しています。これを可能にするために、脅威ライブラリの「学習と適応」プロセスがフィードバックループになり、新しい対策をその場で適用できるようになります。

今日の航空宇宙および防衛組織は、開発コストを削減しながら最先端のテクノロジーをより迅速に提供することにより、競争上の優位性を維持するというプレッシャーにさらされています。電子システムで長期的な戦術上の優位性を維持するには、3つの重要な課題があります。

## 航空宇宙・防衛組織にとっての課題

1. テクノロジーの課題
2. コスト削減の課題
3. システムのライフタイムの課題

システム設計者は、最先端のテクノロジーを提供することとレガシーシステムのサポートを維持する必要性のトレードオフに常に取り組んでいます。また経済的な観点から、技術的な優位性を犠牲にすることなくコストを削減するという要求も高まっています。業界標準のフォームファクタとインタフェースに準拠した重要なコンポーネントを備えた組み込みコンピューティングシステムを構築することで、エンジニアはテクノロジー・コスト・ライフタイムの3つの課題に対応することができます。

将来の電子戦では、電磁スペクトルの支配が、敵のアクセスを拒否する又は同盟軍間の妨害のないアクセスを確保するために重要な軍事要請となるでしょう。これらの目的をサポートするための高度な電子戦アプリケーションの開発速度は当然のことながら加速しています。このようなアプリケーションをサポートするハードウェアには高性能且つ低遅延が不可欠です。COTS (市販の) ソリューション、特にFPGAテクノロジー固有の機能を活用するソリューションにより、この前提条件だけでなく他の主要な要件にも対応できるようになりました。



COTSベースのシステム設計アプローチは、市場投入までの時間を短縮しながら開発リスクとエンジニアリングコストを削減することができます。システム設計へのプラットフォームアプローチの概念は、システム内の要素がFMC・PCIe・VPXなどの標準インタフェースを利用して構築することです。システム設計へのプラットフォームアプローチには3つの主要な利点があります。

1. 市場には複数のベンダーが存在します。テクノロジーのソースが複数あると、将来のニーズに合わない場合のリスクを軽減できます。
2. システム全体を再構築せずにアップグレードすることができます。
3. 開発から導入まで共通のハードウェアを利用できます。このアプローチにより、ハードウェアとIPは、開発ラボとフィールド運用システムの両方で最小限の変更で利用できます。



## VPXとOpenVPXスタンダード

VPX規格(VITA 46)は、高性能組み込みコンピューティングプラットフォームの革新的な新しい設計につながるオープンアーキテクチャを可能にします。VPXシステムは約40年間のVMEバスの経験に基づいて構築されており、厳しい衝撃や振動の制約に対応しながら高い性能を提供することができます。堅牢なCOTSコンピューティングアプリケーションはますますVPXに依存しており、この規格は特に高周波信号を処理するアプリケーション向けに、データ集約型の防衛および軍事プログラムですでに広く展開されています。

高速I/Oを可能にする高密度コンポーネントもより多くの電力を使用するため、堅牢なVPX設計には高度な冷却方法が不可欠です。Ruggedized Enhanced Design Implementation (VPX-REDI 規格: VITA 48)は、VPXモジュールの強制空冷・伝導冷却・液体冷却の機械設計要件を規定し、プラグインモジュールとシャーシ間のインタフェースの詳細な寸法を提供します。

VPX (VITA 46)は、次世代の耐環境組み込みシステムです。VMEシステムは軍事/航空宇宙分野を何十年の間支えてきましたが、ユーザー要件はついにVMEバスで利用可能な帯域幅の限界に達しました。VPXは、パラレルバスを高速シリアルバスに置き換えることにより、従来のVMEシステムと比較して帯域幅を拡張します。デスクトップ市場がPCIからPCI Expressに移行したのと同じように、VMEは新しいVPX規格に移行しました。シリアルバスは、ルーティングリソースの一部を使用しながら、より高いデータレートを提供します。これにより、VPX規格はより大きな電力供給やより多くのユーザーI/Oのサポートなど、その他設計面の改善により多くの物理バックプレーンリソースにフォーカスすることができます。

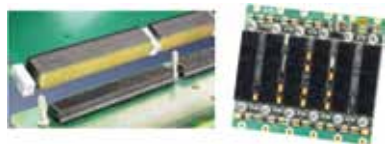


図33. VPXバックプレーンとハイスピードコネクタ

VITA 46.0-2007規格は、VPXの基本的な機械的および電気的仕様を定義します。これは、VMEおよびcPCIシステムに定義された3Uおよび6Uの標準的なフォームファクタを維持します。

ボードの相互接続は高速コネクタであり、10Gbps以上の高速シリアルバスの使用を可能にします。実際のバックプレーン接続では、3Uカード用に3つのコネクタ(P0-P2)を使用するか、6Uカード用に7つのコネクタ(P0-P6)を使用します。P0は、電源およびシステム制御信号用に予約されています。P1にはいくつかのシステム制御信号があり、残りはモジュール間のデータバス接続に使用できます。残りの未使用のピンはすべてユーザーI/Oと見なされ、通常は追加のフラッシュストレージまたはバックアップバスラインとしてリアトランジションモジュールにルーティングされます。P0を除くすべてのコネクタは、通常差動ペアで配線されます。

OpenVPXは、VPX内で定義されたシステム実装の規格であり、システムアーキテクチャのセットを定義しモジュールとバックプレーン間の相互運用性のためのフレームワークを提供します。OpenVPXを使用するとシステムインテグレーターは、モジュール、バックプレーン、開発シャーシの互換性のあるOpenVPXプロファイルに基づいて、アプリケーション固有のシステムをより簡単に設計できます。OpenVPXは、今後数十年にわたる組み込みシステム開発の理想的なモジュラーフォーマットとして機能する態勢を整えています。

OpenVPX (VITA 65) 互換製品に基づいた完全なシステム設計は、パフォーマンスと特殊な機能の利点を提供します。ただし、規格によって提供される柔軟性の向上により検討するオプションの数が増えるため、計画段階で最適なテクノロジーを選択し、モジュールとバックプレーン間の互換性を確保するための入念な調査が必要になります。

Abaco社はOpenVPXイニシアチブの創設メンバーであり、製品範囲全体でさまざまなベンダーのVPX製品間の相互運用性を向上させるという目標を引き続きサポートしています。

## FPGAテクノロジーと主な利点

FPGAは、組み込みシステムの開発者が製品化後に現場でプログラムおよび再構成できる集積回路(LSI)です。これは、特定用途のみに限定されない半導体デバイスであり、柔軟性が高く設計要件に応じて開発者が再構成することができます。

FPGAは、開発者がこのデバイスをどのように構成するかに応じて、カスタムハードウェア機能を実装するために構築済みのロジックブロックとプログラム可能なルーティングチャネルを使用します。これらは、特定用途向け集積回路(ASIC)に使用されるものと同様に、VerilogやVHDLなどのハードウェア記述言語を使用してプログラムおよび構成されます。

FPGAの世界市場は急成長しており、FPGAの人気は日々高まっています。FPGAのユニークな機能は、ASICの論理回路機能とプロセッサベースのシステムを組み合わせていることです。FPGAの最も魅力的な利点は次のとおりです。

- 高いパフォーマンス
- 低い初期費用
- 低い投資リスク
- 優れた費用対効果
- 優れた柔軟性
- 市場投入までの時間の短さ
- 優れた信頼性
- 長期メンテナンス可能



図34. Xilinx製 Virtex UltraScale+のHBM Gen2

## Abaco社のCOTSソリューション

低遅延EWアプリケーション向けの3U-VPX COTS FPGAソリューションパフォーマンスは、低遅延アプリケーション向

けのテクノロジーを選択する際の重要な機能です。命令を順番に実行するデジタルシグナルプロセッサ(DSP)やマイクロプロセッサとは異なり、FPGAは命令を並列に実行できるためクロックサイクルあたりの計算量が増え、DSPやマイクロプロセッサの計算能力を上回ります。並列処理のこの機能により、FPGAはパフォーマンスと並列処理が重要なアプリケーションで、DSPソリューションの何倍もの処理能力を提供することができます。FPGAの入力と出力はハードウェアレベルで制御できるため、これにより応答時間と特定の機能が高速化され、アプリケーション要件に正確に一致させることができます。

Abaco社は、COTS製品と混合FPGA/CPU/GPUソリューションに基づいて、開発用と搭載用耐環境ソリューションの両方に対応する、モジュール式で柔軟でスケラブルなシステムアーキテクチャを幅広く提供しています。

図35は、Abaco社のFMC172 FMC(FPGAメザニンカード)モジュールと広帯域低遅延I/Oを活用するCOTS EWシステムの例です。Virtex UltraScale+ FPGA、

Zynq UltraScale+、およびFMC+カードを搭載したVP889 3U OpenVPX FPGAキャリアボード。およびIntel Xeon DプロセッサとNVIDIA PascalクラスGPUに基づくSBC(シングルボードコンピュータ)およびGPU(グラフィックスプロセッシングユニット)ボード。

これは、電子戦アプリケーション向けの3U OpenVPXシステムアーキテクチャの典型的な例であり、柔軟性がありモジュール式でスケラブルで、簡単にアップグレードできます。

## まとめ

非常に要求の厳しいミリタリ市場では、EWシステムの開発者は最小の遅延を優先する必要があります。ただし、最小のSWaP、最小のコスト、および導入までの最小時間という、しばしば矛盾する要件もバランスが取れている必要があります。

COTS製品は、これらの課題すべてに対応します。ますます、FPGAテクノロジーが重要な役割を果たしており、その柔軟性

とラピッドプロトタイピング機能は、組み込みシステム開発者に優れたサポートを提供し、製品開発サイクルを大幅に短縮して、最終製品を最小限の時間で市場に提供します。

さまざまなタイプのI/Oが、ユーザープログラム可能なFPGAデバイスにすでに接続されているCOTSハードウェアの可用性により、FPGAベースのシステム開発に大きな柔軟性が追加されました。マルチコアプロセッサ、高性能GPU、およびUltraScale+、MPSoC、RFSocなどの最新のFPGAテクノロジーに基づく柔軟性、モジュール性、アップグレード性、スケラビリティなどの利点を備えた高度なCOTSソリューションは、将来のEWソリューションの開発に最適なプラットフォームを提供するだけでなく、開発者はハードウェア設計よりもアプリケーションの要件に集中することができます。

リファレンスドキュメント:

Abaco社 WHITE PAPER: Electronic warfare: an introduction to low latency COTS solutions

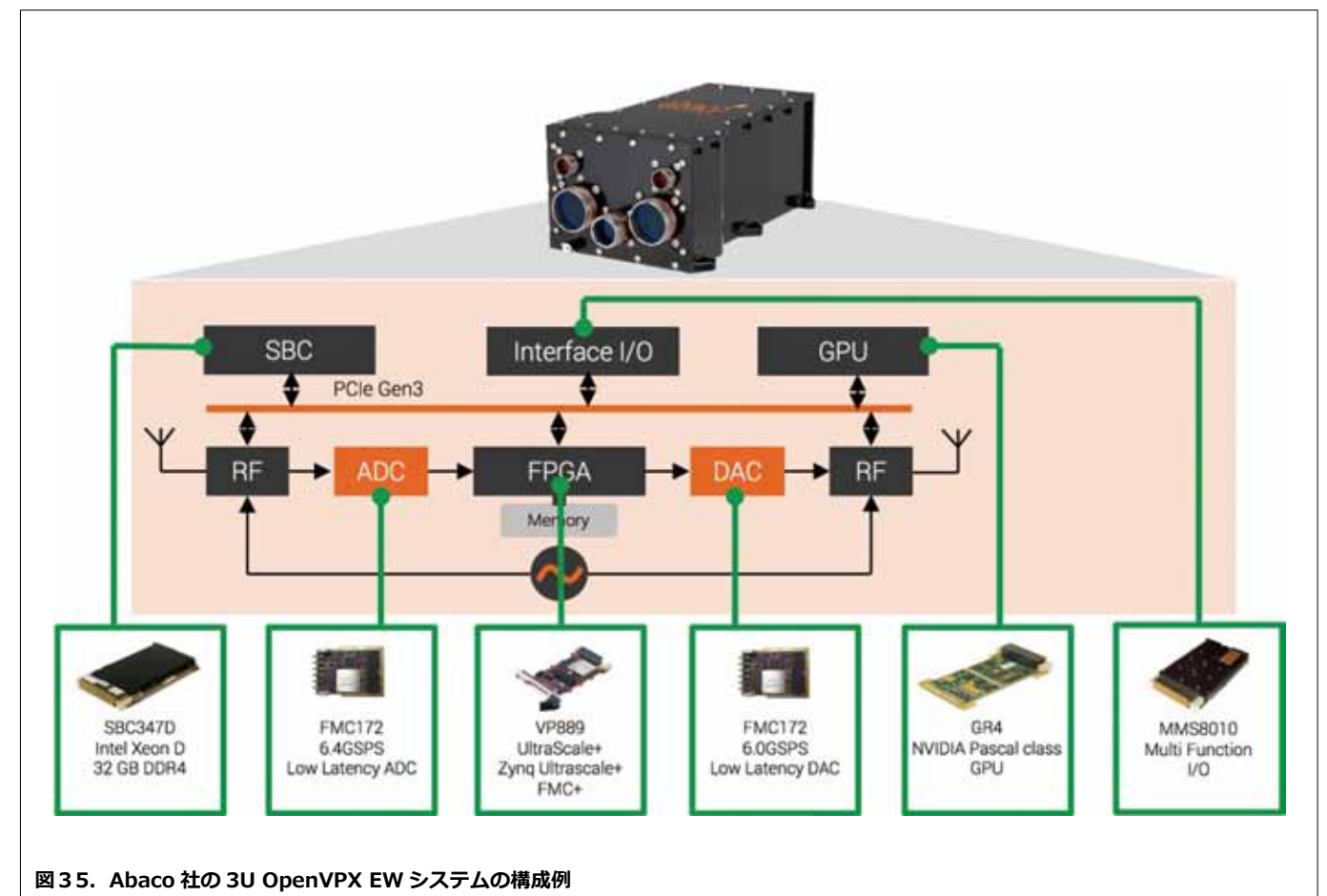


図35. Abaco社の3U OpenVPX EWシステムの構成例



# 新製品

- ここでは今年の新製品をピックアップして紹介します。
- Spectrum社製 hybridNETBOXシリーズ
  - Pentek社製 Gen3 RFSocファミリ
  - Teledyne SP Devices社製 ADQ8-4X
  - Alpha Data社製 Versal ACAP AIアクセラレータボード
  - Abaco社製 SOSA準拠 FPGAキャリアボード



## Spectrum社製 hybridNETBOXシリーズ



Spectrum社のhybridNETBOXシリーズは、A/DとD/Aを搭載したLAN接続ボックスタイプ多チャンネルデータ収集/生成装置です。デスクトップPC又はノートPCにLAN接続し、多チャンネルの信号を取得し生成する事が可能です。全チャンネル同時サンプリング/同時出力が可能で、A/D側と

| hybridNETBOX ラインナップ |          |          |        |       |
|---------------------|----------|----------|--------|-------|
| モデル名                | A/D サンプル | D/A サンプル | チャンネル数 | 分解能   |
| DN2.813-04          | 40MHz    | 40MHz    | 4+4 ch | 16bit |
| DN2.803-08          | 40MHz    | 40MHz    | 8+8 ch | 16bit |
| DN2.816-04          | 125MHz   | 125MHz   | 4+4 ch | 16bit |
| DN2.806-08          | 125MHz   | 125MHz   | 8+8 ch | 16bit |
| DN2.827-04          | 180MHz   | 625MHz   | 4+4 ch | 16bit |
| DN2.822-04          | 250MHz   | 625MHz   | 4+4 ch | 16bit |
| DN2.828-04          | 400MHz   | 625MHz   | 4+4 ch | 14bit |
| DN2.825-04          | 500MHz   | 625MHz   | 4+4 ch | 14bit |

D/A側それぞれに大容量のオンボードメモリを搭載しています。LXI (LAN eXTensions for Instrumentation) 規格に対応していますので遠隔(ローカルエリア、インターネット経由)でのリモート制御が可能です。また、

標準で添付されるGUIソフト「SBench 6」によりデータ解析が容易に行えます。超音波、レーダ、ソナー、LiDARや、MIMO通信、回路検証、メカトロニクス、ロボット工学などのアプリケーションに最適です。

## Pentek社製 Gen3 RFSocファミリ



Pentek社製RFSocファミリは、Zynq UltraScale+ Gen3 RFSoc (5GHz AD & 10GHz DA内蔵)を搭載したマルチチャンネルRFコンバータの最新ラインナップです。FPGA内に5GHz 14bit 8ch A/Dと10GHz 14bit 8ch D/Aを内蔵しています

| RFSoc Gen3 ファミリラインナップ |         |           |           |       |
|-----------------------|---------|-----------|-----------|-------|
| モデル名                  | タイプ     | A/D コンバータ | D/A コンバータ | OS    |
| Model 5953            | 3U VPX  | 5GHz 8ch  | 10GHz 8ch | Linux |
| Model 5553            | 3U VPX  | 5GHz 8ch  | 10GHz 8ch | Linux |
| Model 7053            | PCIe    | 5GHz 8ch  | 10GHz 8ch | Linux |
| Model 6003            | 小型モジュール | 5GHz 8ch  | 10GHz 8ch | Linux |
| Model 6353            | 耐環境ボックス | 5GHz 8ch  | 10GHz 8ch | Linux |
| Model 6353S           | 小型ボックス  | 5GHz 8ch  | 10GHz 8ch | Linux |

ので8chのRF送受信が可能になります。更に、FPGA内にはARMプロセッサを内蔵していますので、1ボードで送受信機を構築することが可能となります。フォームファクタは、VPX、PCI Express、小型モジュールタイプ、耐環境ボックスタイプ、小型ボッ

クスタイプの6種類を用意しています。5G無線通信、気象レーダ、合成開口レーダ、パルスレーダ、フェーズドアレイレーダ、デジタルビームフォーミング、無線通信、ターゲット認識等の高速デジタル信号処理向けアプリケーションに最適です。

## Teledyne SP Devices社製 ADQ8-4X



ADQ8-4Xは、4GHz 10bit 2chのADコンバータを搭載した高速マルチチャンネルA/Dボードです。ADサンプリングレートは、2チャンネルモードで4GSPS、4チャンネルモードで2GSPSとして使用すること

| ADQ8-4X仕様 |                          |
|-----------|--------------------------|
| サンプリングレート | 4GSPS/2GSPS              |
| チャンネル数    | 2ch/4ch                  |
| 分解能       | 10bit                    |
| 入力コネクタ    | SMA                      |
| クロック      | 内部クロック、外部クロック、リファレンスクロック |
| ドライバ      | Windows 10, Linux        |
| フォームファクタ  | PXI Express              |
| 動作温度      | 0 ~ +45℃                 |

ができます。オンボードのFPGAはユーザーに公開されており、カスタマイズすることでリアルタイムのデジタル信号処理が可能です。AD変換されたデータは、2.6GByte/sの速度でホストPCに転送できます。また、

複数ボードを同期させて使用することができますので容易にチャンネル数を拡張することができます。超音波アプリケーション、非破壊検査、無線通信、素粒子物理学等のアプリケーションに最適です。

## Alpha Data社製 Versal ACAP AIアクセラレータボード



ADM-PA100は、Xilinx製Versal ACAPデバイスを搭載したPCI Expressタイプのアクセラレータボードです。VC1902 ACAP AIコアデバイスは、マシンラーニングまたはDSPアプリケーション用の133 INT8TOPが可能な400AIエンジンVLIWプロセッサコアを提供し、オンチップ2ARM Cortex A72アプリケーションクラスCPU

コア及び2 ARM CortexR5リアルタイムCPUコアのスカラー処理をサポートします。PCIeのフォームファクタで、汎用のデスクトップ、ラックマウントPCにインストールして利用することができ、さらにオプションでスタンドアロン動作が可能です。ボード上のFMC+インタフェースにより、非常に幅広いFMCボードを介してVersalACAPでサポートできる多くの標準およびカスタムインタフェースのオフチップサポートが可能になります。Vivadoツール及びVitisツール用のリファレンスデザインを提供します。大量のデータを扱うデータセンターやディープラーニング・AIの演算処理用として最適です。

| ADM-PA100仕様 |                                                  |
|-------------|--------------------------------------------------|
| プロセッサ       | Versal ACAP : VC1902-2MS                         |
| ホストインタフェース  | PCI Express Gen3 x16                             |
| メモリ         | 8GB DDR4-3200                                    |
| 高速インタフェース   | 1x Firefly, 4x 28Gbps                            |
| その他 I/O     | Gigabit Ethernet (RJ45), USB-A, 8x GPIO, 8x PMOD |
| ソフトウェア      | Windows, Linux                                   |
| フォームファクタ    | PCI Express                                      |
| 動作温度        | 0 ~ +55℃                                         |

## Abaco社製 SOSA準拠 FPGAキャリアボード



VP831は、FMC+モジュールを搭載可能な3U VPXタイプのFPGAボードです。FPGAはVirtex UltraScale+ およびZynq UltraScale+を搭載しており、Sensor Open

Systems Architecture (SOSA) 技術標準に準拠した高性能の信号処理能力を提供します。VP831は、ザイリンクスツールによって実現される、高度な暗号化ビットストリームとセキュアブート機能を備えています。これにより、IPセキュリティが重要なアプリケーションにとって理想的なツールになります。電子戦、DRFM、レーダ、衛星通信、デジタルビームフォーミングなどの最も要求の厳しいミッションクリティカルな軍事/防衛アプリケーション向けに適しています。

| VP831仕様  |                                               |
|----------|-----------------------------------------------|
| FPGA     | Xilinx Virtex UltraScale+ XCVU5P, XCVU9P (選択) |
| プロセッサ    | Xilinx Zynq UltraScale+ XCZU3EG, XCZU5EG (選択) |
| メモリ      | 8GB DDR4 (オプションで16GBに対応)                      |
| 拡張サイト    | FMC+: HSPC                                    |
| ソフトウェア   | Windows, Linux                                |
| フォームファクタ | 3U VPX                                        |
| 動作温度     | -40 ~ +70℃ (*コンダクションクール版)                     |

### 展示会出展中止のお知らせ

新型コロナウイルス感染拡大防止の観点から、展示会への出展は当面の間中止することにいたしました。

### 受託開発

弊社ではソフトウェア・ハードウェア及びFPGAの受託開発も承っております。お困りの事がございましたらお気軽にご相談ください。  
✉ sales@mish.co.jp

## 地球温暖化を考える 6



昨年発生した新型コロナウィルスの感染拡大により世界は大きく変わりました。元日の朝日新聞に「コロナ下ベネチアは澄んだ」というタイトルで興味深い記事が掲載されていました。世界遺産でもある水の都ベネチアは世界中から観光客が訪れる観光地ですが、地球規模の温暖化の影響で高潮の頻度が増え大規模な浸水が年に何度も起きようになったそうです。また、年間約1300万人の観光客が訪れることにより下水やごみによる運河の汚染も深刻化しています。それが、昨年の新型コロナウィルスの感染拡大で観光客が減ったことにより、かつては濁っていた運河が透き通り水の透明度が増し、魚が泳ぐきれいな河に変化したということなのです。この事が何を意味しているかというと、新型コロナウィルスは少なくとも地球環境を改善することができることを実証したと言えるのではないのでしょうか。人間活動により悪化した地球環境は、その人間活動を止めれば改善できるのです。とはいえ、世界中の人間の活動を停止するのは不可能ですね。昨年より、SDGsという言葉がテレビやネットでよく耳にするようになりました。これは2030年までに持続可能でよりよい世界を目指すための国際目標です。ここには17の目標が掲げられており、それは温暖化対策に直結するものです。人間が活動を停止するのは無理でも、この目標を達成することでいつまでも自然と共存できる世界にするための努力をする事が私達大人の責任です。

### おわりに

テックジャーナルでは、これからも出来る限りお客様に有効となる情報を提供していきたいと思えます。今後ともどうぞよろしくお願いいたします。





# RFSOC RUGGED SOLUTION



## PENTEK

Pentek社は、1986年にアメリカのニュージャージー州で設立された組込みシステムのボードサプライヤです。リアルタイム信号処理のためのFPGAボードや高速A/D・D/Aボード、耐環境データレコーダ等、特にソフトウェア無線やレーダの無線信号処理用途に特化した技術力と設計能力はミリタリ産業で認知されています。



株式会社ミッシュインターナショナル

〒190-0004 東京都立川市柏町 4-56-1 TEL : 042-538-7650  
e-mail : sales@mish.co.jp URL : <https://www.mish.co.jp>

