

MISH TECH JOURNAL (ミッシュ・テックジャーナル) は、最新の情報をいち早くお届けする技術情報誌です。

MISH TECH JOURNAL

2026 Summer Vol. 19

Powered by



<https://www.mish.co.jp>



CONTENTS

100GbEレコーディング機能を備えた高速EWシステム - P.2-6

はじめに
RFSoc デバイス
アプリケーション例
RFSoc と 100GbE レコーダの統合
超高速データレートでの管理
RFSoc と 100GbE レコーダの接続
主なポイント
まとめ

平均化のためのトリガー信号 ————— P.7-11

はじめに
平均化 (Averaging)
システムティックノイズとトリガー方式
トリガー方式の詳細
比較と結果

高速デジタイザの新機能とその応用例 — P.12-15

はじめに
解析帯域幅の拡張
ソフトウェアツール
マルチチャンネルデータ収集
コンピュータへのデータ転送
内蔵パルスジェネレータ
まとめ

防衛アプリケーション向けシステム統合アプローチ - P.16-19

はじめに
背景
統合アプローチ
ケーススタディ：歩兵戦闘車両ビデオシステム
防衛システム統合のベストプラクティス
まとめ

衛星監視記録システム ————— P.20-25

はじめに
衛星監視フレームワーク
衛星監視における周波数帯域
衛星監視記録システム
データ収集
FPGA による前処理とデータ転送
FPGA データ削減の例
ガリレオ信号のダイレクトサンプリング
ピアツーピアデータ転送
オンボード FPGA 処理
GPU 処理
高速ディスク記録
まとめ

新製品ピックアップ ————— P.26-27

Teledyne SP Devices 社製 ADQ3-USB 10GSPS USB ボックス
Spectrum Instrumentation 社製 DN6.335-12 データ収集装置
Novo Space 社製 SBC004SV SpaceVPX FPGA ボード
Alphi Technology 社製 M.2-XCAU7P-FPGA FPGA ボード
Extreme Engineering 社製 XPdite8370 Ultra シリーズ CPU ボード

'26夏号特集

100Gb Ethernet Recorder

100GbEレコーディング機能を備えた高速EWシステム

100GbEレコーディング機能を備えた 高速EWシステム



はじめに

現代の電子戦(EW)システムは、幅広い周波数範囲にわたり大量のRF信号を処理することが求められます。機敏なレーダーパルスの検知やバースト通信の傍受など、広帯域幅のデータをリアルタイムでキャプチャし処理する能力が不可欠です。今日の電子戦における最も困難な課題の一つは、高速A/Dコンバータ(ADC)を用いて高周波・広帯域の信号をキャプチャし迅速に処理することです。一瞬の周波数ホッピングや短いレーダーパルスを見逃せば、脅威を見逃す可能性があります。

RFSocデバイス

高速RFサンプリングコンバータとFPGAを単一のRFシステムオンチップ(RFSoc)に統合するといった近年の技術革新により、EW受信機は広範囲のスペクトルを直接サンプリングできるようになりました。しかし、これらのRFSocデバイスは数百ギガビット/秒規模のデータストリームを生成できるため、従来の記録・保存方法の限界を超えています。そこで登場するのが高速イーサネットベースのレコーダです。レコーダは膨大な量のデジタルRFデータをパケットロスなくリアルタイムでストリーミング・保存し、ミッション直後またはミッション後の分析に活用できます。

つまり、高速なデータキャプチャと処理は、現代の電子戦においては高度な脅威に対抗するために不可欠なものとなっています。

アプリケーション例

高速レコーダの必要性を説明するために、レーダー脅威分析アプリケーションを考えてみましょう。

このアプリケーションでは、電子戦システムが敵のレーダー信号(例えば、航空機搭載の早期警戒レーダーや敵のプラットフォームに設置された火器管制レーダー)を傍受・分析する役割を担っています。現代のレーダーは、広帯域で機敏な波形を採用することが多く、パルスは数百MHzに渡って周波数ホッピングしたり、広いチャープ帯域幅を使用したりすることがあります。

EW受信機は、レーダーの特性を特定するためにこれらのパルスを広いスペクトルにわたってリアルタイムで捕捉する必要があります。そのためには、受信機に広い瞬時帯域幅と高いダイナミックレンジが求められます。非常に広い周波数範囲にわたってパルスRF信号をリアルタイムで生成・捕捉することは本質的に困難であり広帯域幅の機器が必要です。

このアプリケーションの100GbEレコーダは、入力される広帯域信号ストリームを継続的に記録できます。単なるスナップショットの観察ではなく、エンジニアはレーダー帯域幅全体をカバーする数分または数時間にわたる生のI/Q

データを記録できます。これはミッション後の分析に非常に役立ちます。

パルスタイミング、変調パターン、周波数ホッピング、その他の脅威レーダーの情報を抽出できます。

つまり、イーサネットレコーダを使用した広帯域信号キャプチャにより、重要な信号が見逃されることがなくなり徹底的なレーダー脅威分析と堅牢な電子支援手段(ESM)が可能になります。

RFSocと100GbEレコーダの統合

このEWシステムに適したハードウェアアーキテクチャの概要を説明します。このアーキテクチャは、RFSocベースのデータ収集ボードと、データの保存と分析のための100Gb Ethernet(100GbE)レコーダという2つの主要な要素で構成されています。

■ RFSoc 4x2 評価ボード

AMD製RFSoc 4x2評価ボードは、4つのRF ADC入力(写真左側のSMAコネクタ)とQSFP28 100GbEポート(写真右側の銀色のケージ)を備えており高速EWデータ取得に最適です。(Figure1参照)



Figure1 : RFSoc 4x2 評価ボード

信号取得および処理のためのRFSoc

RFSocボードは、RFフロントエンドおよびアンテナからの信号と直接インターフェースするフロントエンドです。例えば、RFSoc 4x2ボード (Zynq UltraScale+ RFSocをベースとしています) は、4つの5GS/s ADC (最大2.5GHz帯域幅) と2つの9.85GS/s DACを同一チップ上に統合し、大規模なFPGAファブリックとマルチコアARMプロセッサを搭載しています。

このモノリシック設計により、個別のADCカードとFPGAボードが不要になり、RFSocがデジタル化と前処理の両方の機能を実行します。注目すべきは、RFSoc 4x2にはQSFP28高速ネットワークポートが搭載されており、4×25Gbps、2×50Gbps、または1×100Gbpsイーサネットとして構成できることです。当社のシステムでは、このポートはRFSocボードからデジタル化されたデータをストリーミングするために使用されます。

RFSoc上のFPGAは、ADCサンプルをパケット化 (例えば、Raw I/Q UDPパケットやVITA-49などの規格) し、この100GbEリンクを介してリアルタイムに送信するようにプログラムされています。RFSocは、デジタルダウンコンバージョン、フィルタリング、チャネライゼーションなどのリアルタイムDSP処理も実行できるため、データ量を削減したりストリーミング前に必要な信号を分離したりできますが、それでも非常に高いデータレートを出力します。

データキャプチャ用 100GbEイーサネットレコーダ

2つ目の主要コンポーネントはイーサネットレコーダです。これは基本的に高速ストリーミングストレージシステムです。これは通常、100GbEネットワークインターフェース (多くの場合、RFSocに対応するQSFP28ポート) と高速ストレージドライブアレイを備えたラックマウントサーバーまたは専用のレコーダ機器です。

レコーダは、100GbE光ファイバーま

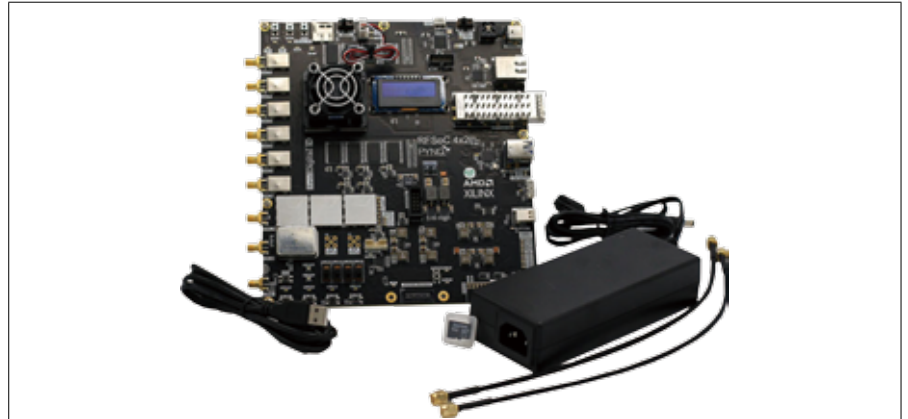


Figure2 : 評価ボードと AC アダプタ

たは銅線ケーブル (光トランシーバーを使用する場合はMPO光ケーブルなど) を介してRFSocボードに接続します。100Gbpsのデータストリームをリアルタイムで取り込み、フルラインレートでディスクに書き込むように設計されています。

最新の記録システムは、多くの場合RAID0構成のNVMe SSDを使用することで、ディスクへの書き込み速度を約12.5GB/秒 (100ギガビット/秒) に維持できます。例えば、Daqscribe製MDR Carbon100レコーダは6台のNVMeドライブを並列に使用し、AMD CPUを搭載することで、最大75TBのストレージで100Gbpsの記録を実現します。この容量は、小型フォームファクターで数時間分のマルチチャンネル広帯域記録に相当します。より高い帯域幅が必要な場合は、DDR Hyperion400が最大720TBのストレージで最大400Gbpsをサポートできます。

私たちのアーキテクチャでは、レコーダは100GbEインターフェース上のRFSocのUDPストリームをリッスンするように構成されています。レコーダは複数のチャンネルを同時にキャプチャでき、例えば単一の100GbEリンク上で最大4つの独立したADCストリームをキャプチャできます。そして、各ストリームをリアルタイムで専用のファイルに保存します。記録されるデータは通常、イーサネットパケットの「ペイロード」 (I/Qサンプル) であり、多くの場合、後で解析できる標準形式で保存されます。一方、レコーダのソフトウェアである「nStudio」は、データフロー (パケットカウンター、スループットなど)

に関するフィードバックを提供し、データ損失がないようにします。

全体的なデータフローは次のようになります。

RF信号 → RFSoc ADC → FPGA DSP →
100GbEパケットストリーム → レコーダ
100GbE NIC → ディスクストレージ

このアーキテクチャは、RFSocに統合されたRFキャプチャ機能とレコーダの高速ストレージを活用し、EWシナリオの膨大なデータレートに対応します。広帯域信号をリアルタイムでキャプチャできるだけでなく、エンジニアは強力なソフトウェアツールを使用して記録を再生または分析できるため、RF環境の「デジタルリワインド」を効果的に作成できます。

超高速データレートの管理

RFSoc 4x2は4つのADCチャンネルを備え、それぞれ5GS/s、14ビット*の分解能で動作します。これにより、以下のことが可能になります：

$$5\text{GSPS} \times \frac{14}{\text{Sample}} \text{ bits} = 70\text{Gbps}$$

1バイト=8bitであることから、

$$70\text{Gbps} \div 8 = 8.75\text{GBps}$$

4×ADCをフルレートでストリーミングすると

$$4 \times 8.75\text{GBps} = 35\text{GBps}$$

Raw RF の代わりに I/Q を記録する場合は、I と Q の2つのチャンネルが必要になるため帯域幅を2倍にする必要があります。

しかし、RFSoc 4x2 の100GbE インターフェースは12.5GB/sしか処理できないため、4つのチャンネルすべてをフルレートでストリーミングするとデータドロップが発生します。この制限内に収めるにはいくつかの方法があります。

1. ADCデータのデシメーション

RFSoc FPGAで1/4デシメーション(Raw RFの場合、Raw I/Qの場合、1/8倍)を適用し、チャンネルあたりのサンプルレートを1.25GS/sに下げること、各チャンネルのレートを約2.2GB/sにします。4チャンネルの場合、合計約8.8GB/sとなり、12.5GB/s以内に収まります。

2. チャンネル数を削減

フルレート(8.75GB/s)で1チャンネルのみ、または1/2デシメーション(8.75GB/s)で2チャンネルのみをストリーミングします。

3. バースト記録の使用

連続キャプチャではなく、高速バーストで記録することで、データオーバーフローを回避します。

デシメーションまたは選択的ストリーミングを実装することで、システムは100GbEの制限内に収まり分析用の高品質な広帯域RFデータを取得できます。

RFSoc と100GbEレコーダの接続

より具体的に理解するために、エンジニアがRFSoc 4x2ボードを100GbEイーサネットレコーダに接続して動作する方法を、簡単なステップバイステップのデモで見てください。

1) ハードウェアのセットアップ

まず、RFSocボードのQSFP28 100GbEポートをレコーダの100GbEネットワークポートに接続します。ハードウェア



Figure3 : RFSoc と 100GbE レコーダの接続

によっては、両端のQSFP28 ケーグに100G光トランシーバモジュールを挿入し、その間をMPOファイバケーブルで接続する必要がある場合があります。(距離が短い場合は、銅線ケーブルを使用するセットアップもあります) RFSocボードとレコーダの両方の電源がオンになっており、100Gリンク動作に適切に設定されていることを確認してください(QSFP28ポートのリンクステータスLEDがアクティブリンクを示している必要があります)。RFSoc 4x2のネットワークは、レコーダの設定に合わせて設定する必要があります。通常は、RFSocの100GbEインターフェースにIPアドレスを割り当てるか、レコーダの要件に応じてRaw Ethernetモードを使用します。特別な外部トリガー接続は必要ありません。すべてのデータは100Gリンクを介して流れます。

2) RFSoc 100GbEインターフェースの構成

効率的なデータ伝送を実現するには、RFSocのFPGAファブリック内で100G CMAC(集中型メディアアクセス制御)コアを適切に構成する必要があります。この構成には以下が含まれます。

- ラインレートを100Gbpsに設定し、ジャンプフレームサポートを有効にしてパケット効率を最適化します。
- AXIストリーミングインターフェースを実装して、ADC処理パイプライ

ンからイーサネットPHYへの高スループットデータ転送を実現します。

- ポーズフレームやFIFOバッファなどのフロー制御メカニズムを使用して、潜在的なデータ輻輳を管理しパケット損失を最小限に抑えます。

最適化されたCMAC設定、つまり選択的ストリーミングを実装することでシステムは100GbEの制限内に収まりながら高品質の広帯域RFデータを解析用に取得できます。

3) RFSocデータストリームの設定

RFSoc側で、高速データソースを実装するFPGA設計をロードします。実際のEWキャプチャでは、この設計はRFSocのADCからサンプルを取得し信号処理を適用した後、データをイーサネットパケットにフォーマットします。デモやラボテストでは、シンプルなパターンジェネレーターやループバックを使用する場合があります。例えば、RFSocから既知のテスト波形やPRBS(擬似ランダムビットシーケンス)を100GbE経由で送信させます。重要なのは、RFSocが非常に高速でデータをストリーミングしていることです。多くのRFSocリファレンスデザインは、100GbE UDPストリーミングロジックのサンプルを提供しています。レコーダが想定する宛先IPポートを設定してください(レコーダがプロトコルに依存

しない場合は、事前に設定されたプロトコルを使用してください)。この段階では、RFSocのプロセッサ (ARM コア) を使用して、ソフトウェアによるストリーミング (フローの開始と停止、パラメータの調整など) を制御できます。

4) Ethernet レコードの設定

レコーダシステムでレコーディングソフトウェアを起動し、入力ストリームをキャプチャする準備をします。通常は、キャプチャするインターフェース (100GbE ポート) とフィルタリングまたはチャンネル設定 (例えば、特定のポートのすべての UDP パケットをキャプチャする、または複数のストリームを個別にキャプチャする) を指定して、レコーディングセッションを定義します。今回のケースでは、RFSoc から最大4つの独立したストリームが想定されるため、レコーダは最大4つの UDP ポートをリッスンし、それぞれを別々のファイルに同時に保存するように設定できます。レコーダのストレージアレイに十分な容量があり、システムが高速書き込みレートに最適化されていることを確認してください (これらのレコーダは通常、バースト処理に対応するために大容量のRAMバッファを備えています)。すべての準備が整ったら、レコーダをアーム (つまり「記録開始」) します。これでシステムは待機状態となり、入力データをディスクに書き込む準備が整います。

5) データキャプチャを実行する

両側の設定が完了したらデータフローを開始します。これは、RFSoc アプリケーションで送信機能を開始するか FPGA に ADC データの送信を開始するように指示する GPIO を切り替えるだけの簡単な作業です。すぐに、レコーダが受信ストリームを登録しているのが確認できます。例えば、ソフトウェアにはスループットメーターが上昇し、理想的には 100Gbps 近くの使用率が表示されます。実際の EW (電子戦) では、これは RFSoc がライブ RF 信号 (アンテナまたは信号発生器から) をデジタル化し、ストリーミング出力する瞬間です。デモ用にキャプチャを短時間実行しま

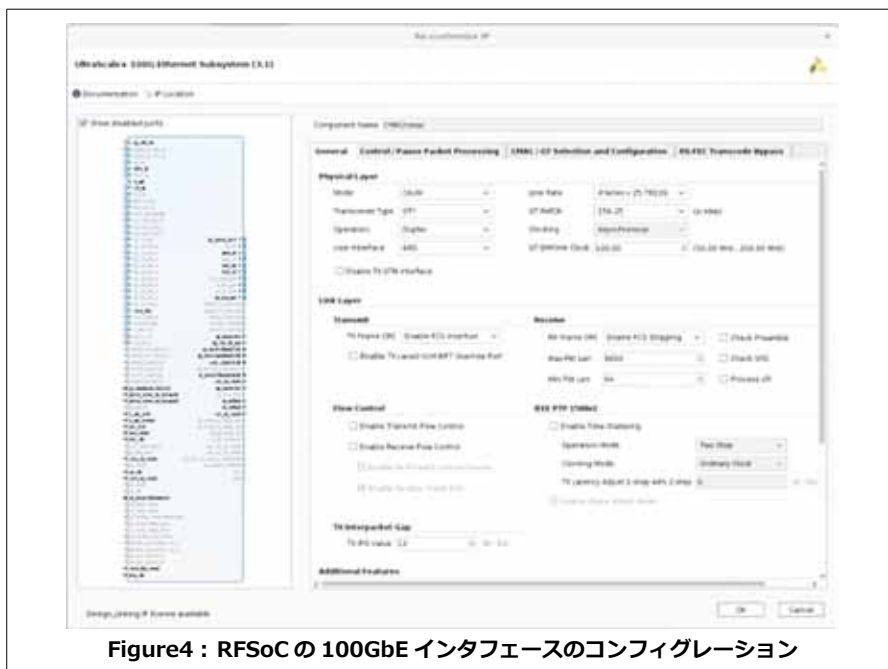


Figure 4 : RFSoc の 100GbE インタフェースのコンフィグレーション

す (例えば、12.5GB/秒で数十GBになる数秒間のデータをキャプチャします)。次に、RFSoc ストリームを停止し、レコーダを停止します。これで、レコーダにはデータファイルが保存され、各ファイルには1つのチャンネル (または送信された形式) からの生のデジタル化サンプルが含まれています。

6) 記録データの解析

いよいよ成果です。キャプチャしたデータを評価します。高速レコーダには通常、データ確認用のツールが組み込まれています。例えば、Mercury 製 SystemFlow ソフトウェアには、基本的な解析を行うための Signal Viewer ユーティリティが含まれています。エンジニアは記録されたファイルを開き、すぐに波形またはスペクトルを表示して、信号が正しくキャプチャされたことを確認できます。既知のテストパターンを送信した場合は、ビット単位で検証できます。実際のシナリオ (例えば、ライブレーダーパルスを記録する場合) では、タイムラインを拡大表示してパルス幅と間隔を測定したり、FFT を実行してスペクトルを調べたりすることができます。キャプチャしたファイルは、標準的な解析プログラムに読み込むこともできます。多くのレコーダは標準形式 (PCAP やバイナリ I/Q など) で保存するため、MATLAB、Python スク

リプト、さらには Wireshark (パケットレベルの検査用) などのツールを使用してデータをさらに解析できます。重要なのは、エンジニアが RF 信号の永続的な記録を入手できるようになり、詳細に精査できるということです。例えば、レコーディングの背景に微弱な低出力の発信源を発見したり、レーダーの周波数ホッピングパターンが期待通りかどうかを検証したりできるかもしれません。広帯域データを捕捉し、事後分析できるこの能力は、EW エンジニアにリアルタイム処理だけでは見逃してしまう可能性のある膨大な洞察をもたらします。

7) デモのまとめ

このデモを通して、100GbE リンクを使用することによるパフォーマンス上のメリットが明らかになりました。RFSoc 4x2 ボードは、パケットをドロップすることなく、4つの ADC チャンネルすべてをイーサネットレコーダにストリーミングできます。

記録データを評価することで、エンジニアはシステムが要件を満たしていること (例えば、想定された帯域幅を処理できること) を確認でき、実際の運用においてシステムが重要な信号を見逃さないという自信を得ることができます。

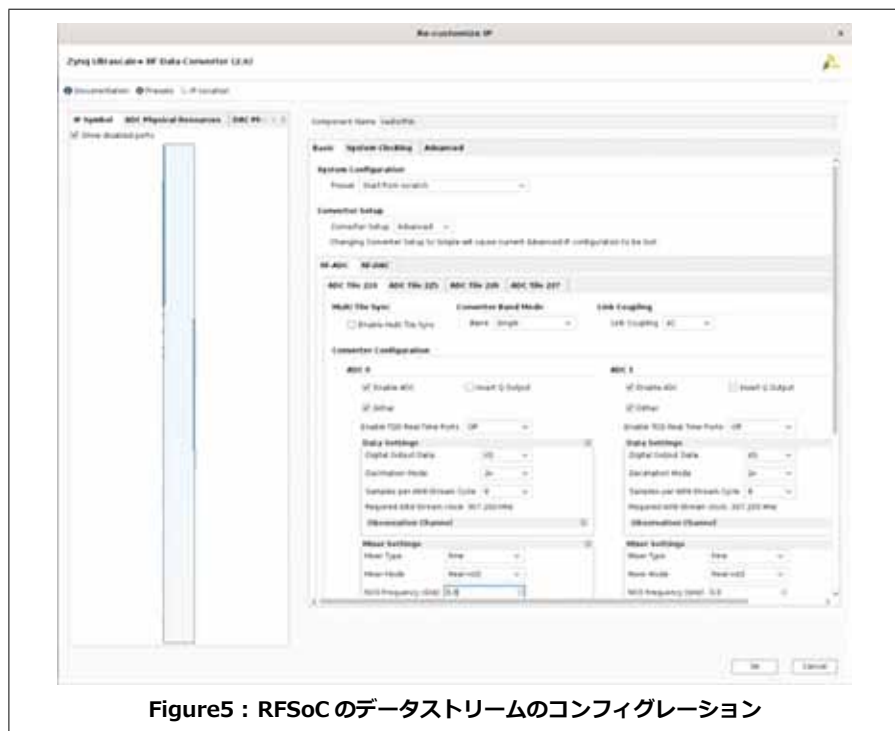


Figure5 : RFSoc のデータストリームのコンフィグレーション

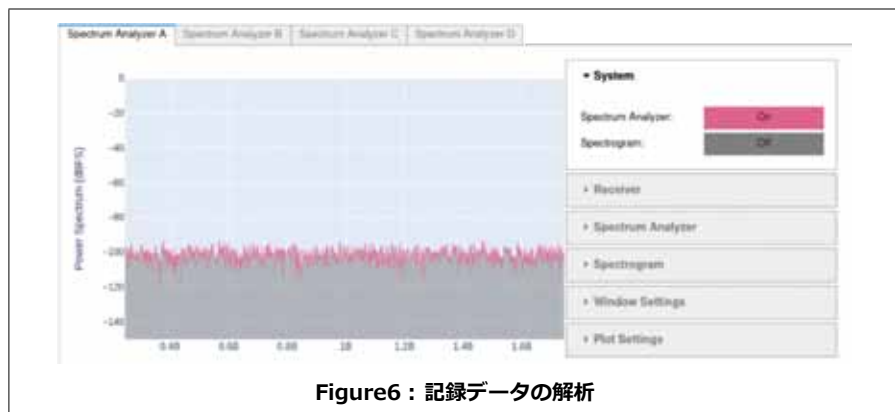


Figure6 : 記録データの解析

主なポイント

RFSoc と 100GbE レコーダを使用して EW システムを設計すると、パフォーマンスと分析処理の両方において大きなメリットが得られます。

まず、この組み合わせによりマルチチャンネル、広帯域の信号をリアルタイムで捕捉することが可能になり、脅威が広大な帯域を占有する可能性のある現代の電子戦シナリオのニーズに対応します。従来、エンジニアは帯域幅と捕捉時間の間でトレードオフを迫られてきましたが、高速イーサネット記録によりこうした妥協の多くを排除できます。これにより後から分析するために、幅広い周波数帯域にわたって何時間にも及ぶ RF データを記録できます。

次に、このアーキテクチャは拡張性と柔軟性に優れています。チャンネルや帯域幅の拡張が必要な場合は、100GbE リンクを追加してください(イーサネットは、リンクのボンディング、または 200GbE、400GbE などへの移行によって拡張可能です)。この種のシステムは、最小限の統合作業で将来の要件に合わせて拡張できます。

3つ目は、記録されたデータがあればエンジニアや意思決定者は大きな優位性を得ることができます。複雑な信号の相互作用を巻き戻して再検証したり、電子戦の交戦に関するフォレンジック分析を行ったり、モデルだけでなく実世界のデータを用いてアルゴリズムを改良したりすることが可能になります。

まとめ

結論として、100GbE レコーダと RFSoc ベースの EW 受信機を組み合わせることで、現代の脅威に対応できる高性能システムが実現します。RFSoc は、広帯域信号を取得しオンザフライで処理を実行するためのコンパクトで統合された手段を提供し、イーサネットレコーダは、すべてのデータを確実に取得してより詳細な分析を可能にします。この組み合わせにより、帯域幅とデータ忠実度の点で大幅なパフォーマンス向上が実現し、戦術的および戦略的意思決定に役立つ豊富なデータセットが得られます。EW 分野のシステムエンジニアは、このアプローチを活用することで、高速で高性能だけでなく、ますます複雑化する戦場において電磁的優位性を維持するために必要な洞察を提供するシステムを設計できます。

リファレンスドキュメント：

Daqscribe 社

Designing a High-Speed EW System with RFSoc and 100GbE Recording



MDR CARBON 100 データレコーダ



DDR HYPERION 400 データレコーダ



平均化のためのトリガー信号

はじめに

ここでは、Teledyne SP Devices 製 ADQ35 デジタイザの様々な内部トリガ生成機能について紹介し、記録蓄積時の性能を最適化することを目的とします。このテストでは、終端入力と低振幅・短時間パルスの蓄積におけるノイズ特性を検証し、これらのシナリオにおける様々なトリガ方式を比較します。

Figure7に示したテストセットアップには、FWATD(Advanced Time Domain)ファームウェアを実行する ADQ35 デジタイザが含まれています。このファームウェアは、デジタイザ内での記録蓄積を可能にします。デジタイザのトリガソースは蓄積ブロック(Accumulator)に接続されます。各トリガは、アキュムレータ値にデータレコードを追加します。

トリガは出力ポート TRIG out から出力され、外部のパルスソースをトリガするために使用できます。Pulse source は、外部機器のトリガがトリガ方式の選択にどのような影響を与えるかを評価するために使用されます。

平均化 (Averaging)

1. 目的：ランダムノイズの抑制

平均化は、システムティック信号を強調する効果的な方法です。その基本的な前提は、複数の記録にわたって一貫した(周期的な)信号が存在する一方で、ノイズはこれらの記録間で相関がないということです。記録データを平均化することで、信号対雑音比(SNR)は、蓄積された記録データ数の平方根に比例して向上します。

2. 問題：システムティックノイズ

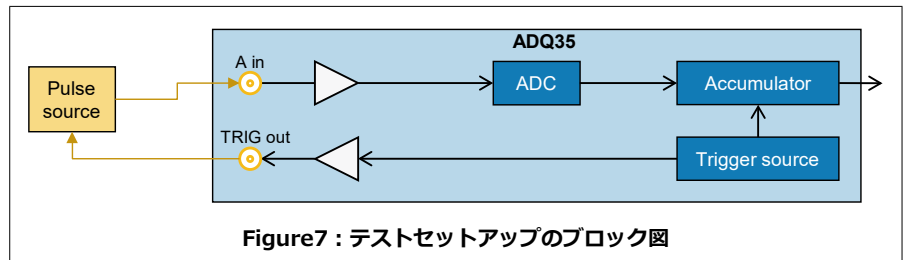


Figure7 : テストセットアップのブロック図

平均化を使用すると、システム内のシステムティックな電氣的ノイズも強調される可能性があります。これらのノイズは、多くの場合マイクロボルト(μV)レベルであり、ランダムノイズよりもはるかに小さいですが、平均化によってより顕著になります。この記事では、これらのノイズ(本文ではシステムティックノイズと呼びます)への対処方法についてガイダンスを提供します。

3. FWATD における蓄積の実装

FWATDには、デジタイザのFPGAでデータを蓄積する平均化ブロックが含まれています。蓄積とは、データポイントを加算することを意味します。PC上で行われる除算により、これらの累積値は平均電圧振幅に変換されます。累積とは、各記録データから対応するサンプルを加算することです。例えば、最初のサンプルはすべて1つの値に加算され、2番目のサンプルはすべて別の値に加算される、といった具合です。結果として得られる合計の系列はアキュムレータと呼ばれ、元の記録データと同じ長さになります。累積レコードの数は、以下の文章では「N_ACC」と表記します。

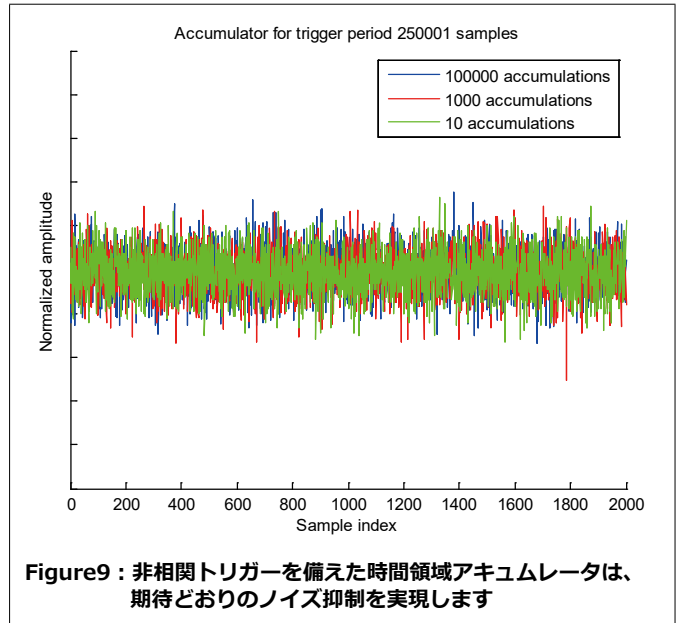
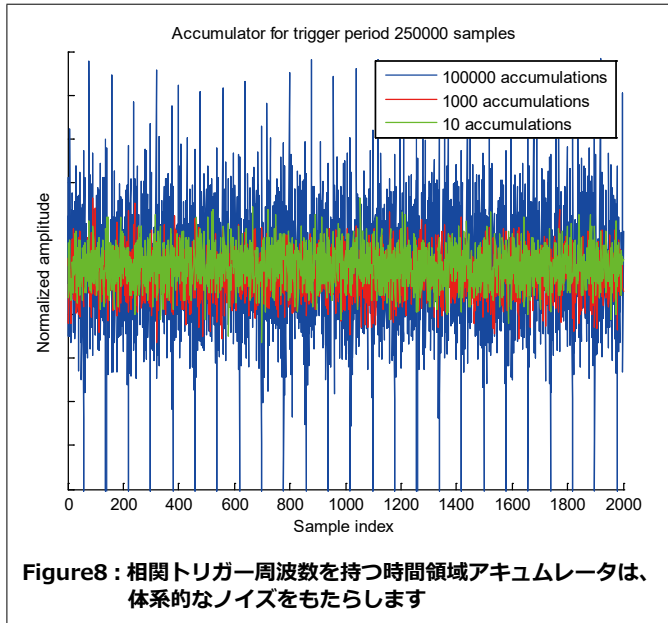
累積の結果、システムティック信号はN_ACCに比例して増加するのに対し、ランダム信号は $\text{SQRT}(N_ACC)$ に比例して増加します。したがって、SNRは次のように増加します。
$$N_ACC / \text{SQRT}(N_ACC) = \text{SQRT}(N_ACC)$$

コードから電圧への変換にはN_ACCが組み込まれます。FWATDは、累積処理に必要なビット数を節約するために、生のサンプルを14ビットのMSB整列表現で表します(FWDAQは16ビットのMSB整列データ出力を使用します)。電圧変換は次のように実行されます。
$$\text{CODE} * \text{FULL_SCALE} / 2^{14} / N_ACC$$
この記事の数値は、この変換後のボルト単位で表示されます。

システムティックノイズとトリガー方式

1. システムティックノイズ

システムには、しばしばランダムノイズに埋もれている弱いシステムティックノイズ源が多数存在します。しかし、多くの記録データを蓄積すると、ランダムノイズは抑制され、システムティックノイズが顕著になります。この現象により、平均化によるノイズ低減効果が制限されます。Figure8は、蓄積数が多い場合の抑制効果が理想値から逸脱していることを示しています。システムティック信号は非常に弱いため、その振幅は理論値に正規化されています。緑色と赤色の曲線は、それぞれ10回と1,000回の蓄積データを表しており、信号はノイズのように見えます。青色の曲線で表される100,000回の蓄積では、システムティック信号がノイズを上回っています。ノイズ抑制は、SNRが蓄積回数の平方根($\text{SQRT}(N_ACC)$)



ACC)) に比例して増加するという想定に従わなくなります。

2. トリガー方式

トリガー方式の選択は、系統的ノイズがアキュムレータの結果に大きく影響を与えます。系統的ノイズは、デジタルサイザ内のすべてのクロックを含む、様々な発生源から発生する可能性があります。

これらのノイズ源は通常、サンプリングクロックから派生した周波数で動作しています。トリガーもサンプリングクロックと最適に同期されていない場合、アキュムレータ処理によって系統的ノイズが抑制されるのではなく、むしろ増幅される可能性があります。

Figure 8では、トリガーは20kHzに設定されており、これは5GHzのサンプリングクロックの高調波と一致しています。この相関により、アキュムレータ処理によって系統的ノイズが増幅されます。

一方、Figure 9は、トリガ周期を250,001サンプルとして同じ測定を行った結果を示しています。この構成により、系統的ノイズ源との相関がなくなり、アキュムレータ処理によって意図したとおりノイズが抑制されます。各測定の振幅は理論値に正規化されており、期待されるノイズ低減効果が示されています。

トリガとノイズ源の相関を分離する

ことの重要性に関する詳細な説明は、後のセクションで説明します。

3. 蓄積レコード数が多い場合

影響は、蓄積レコード数が多い場合、つまりN_ACCの値が大きい場合に顕著になります。Figure 10は、異なるトリガ周期における蓄積後のノイズレベルを示しています。一見すると、すべての手法がSQRT(N_ACC)の理想的なノイズ低減傾向に従っているように見えます。しかし、Figure 11を詳しく見ると、大きな違いが見られます。

Figure 11は、蓄積レコード数の増加に伴う理想的なノイズレベルからの偏差を示しています。2,000レコード付近で、一部の手法は理想的な動作から逸脱し始めます。特に、トリガ周期が250,000サンプルと250,016サンプルの場合、系統的ノイズが著しく増加し、最適なノイズ抑制から明らかに逸脱しています。一方、250,001サンプルのトリガ周期では、ほぼ理想的な性能を維持しています。さらに、後で詳述する「フラクショナルN-PLL」手法は、優れた結果を示しています。

トリガー方式の詳細

1. システム内のトリガー

トリガータスクは、質量分析計のパルサーなどのパルス源とデジタルサイザの

取得プロセスの両方を開始する役割を担います。システムのブロック図をFigure 7に示します。

これら2つのイベントは密接に結合されているため、同じトリガ源で駆動する必要があります。両者の間にタイミングジッタがあると、記録されたパルスがぼやける可能性があり、この文脈ではこれが懸念事項であると想定されます。

信号源は非同期とみなされるため、トリガにジッタは発生しません。一方、デジタルサイザはクロック駆動されており、入力ポートでジッタが発生する可能性があります。この仮定により、デジタルサイザに起因するタイミングエラーに焦点を当てた解析が可能になり、モデルを幅広いパルス源に適用できます。

デジタルサイザは、以下の2つのメインクロックを使用して同期動作します。

- サンプリングクロック
- データクロック

(通常はデータクロック = サンプリングクロック / 162 で算出されます)

これらのクロックはシグナルチェーンのさまざまな段階で使用され、Figure 13に示されています。

注：以下の文章では、時間単位の「サンプル」は1 / サンプリングレートを指し、5GHzでは200psに相当します。

2. トリガー出力

パルス源をアクティブ化するために

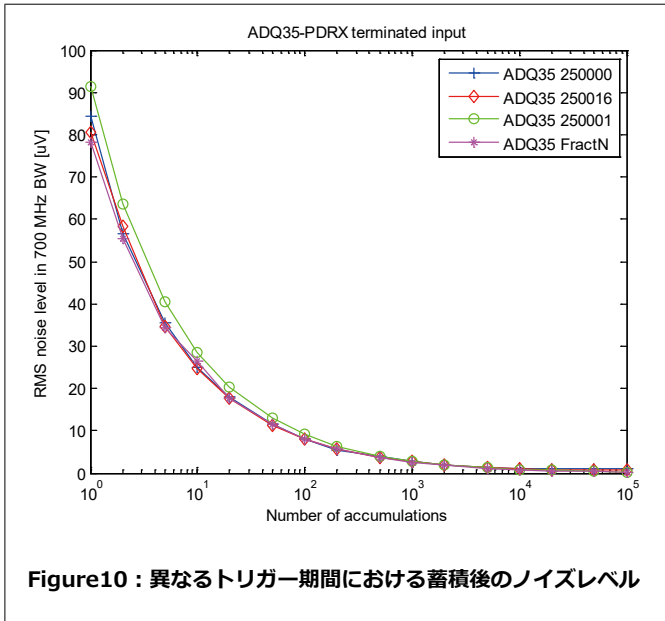


Figure10 : 異なるトリガー期間における蓄積後のノイズレベル

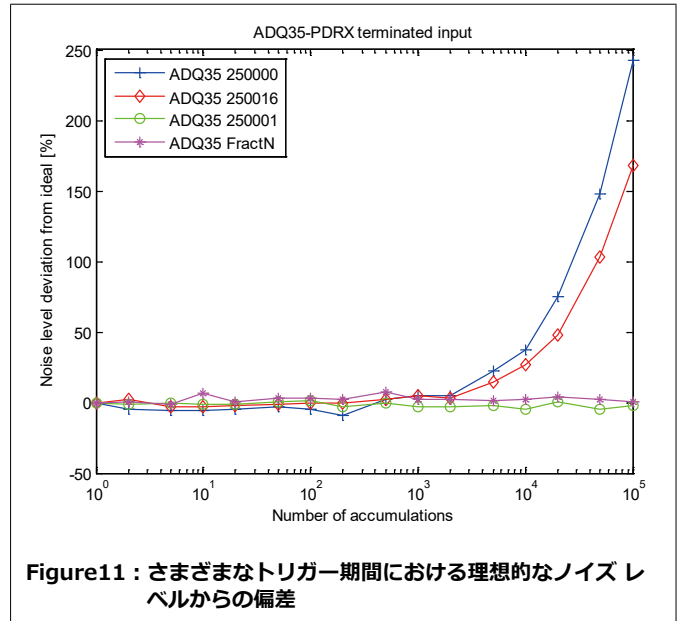


Figure11 : さまざまなトリガー期間における理想的なノイズレベルからの偏差

内部トリガーを使用するには、出力ポートに接続する必要があります。この接続はデータクロックによって駆動されるため、制約があります。250,000サンプルまたは250,016サンプルのトリガー周期は正確に生成できますが、250,001サンプルの周期は正確に生成できません。

250,001サンプルの内部トリガーを使用すると、系統的ノイズとの相関が効果的に遮断されるため、これは利点となります。ただし、パルス源に送信されるトリガー信号は、データクロックによって定義されたタイミンググリッド(具体的には16サンプルの分解能)に量子化されます。この動作は、Figure12に示されています。

出力タイミングの不確実性により、パルス生成と記録開始の間のタイミン

グにずれが生じます。

3. 外部トリガー

外部トリガーとは、ADQ35 デジタルの外部から発生するトリガーソースを指します。このトリガーソースは、システムティックノイズと相関している場合も、そうでない場合もあります。しかし、信号品質への影響は、トリガーソースの種類に関わらず同じです。したがって、ここで説明する考慮事項、特にトリガー周波数の選択は、外部トリガーソースにも適用されます。

4. フラクショナルN -PLL

ADQ35は、Figure13に示すように、FPGAクロックに制約されない周波数で周期信号を生成できる専用のフラクショナルN位同期ループ(PLL)を備

えています。これにより、信号をサンプリングクロックに位相同期させ、タイミング動作を制御できます。トリガー周期は内部ノイズ源と相関がないため、結果として生じるノイズはランダムに現れ、平均化によって効果的に抑制されます。

重要なのは、フラクショナルN-PLLの出力をFPGAデータクロックの制約を受けることなく、パルス源に直接ルーティングできることです。これにより、Figure14に示すように、記録プロセスとパルス源間の正確な調整が可能になります。この方法は最適に見えますが、実際には次のような制限があります。

- ADQ35はシステムのトリガ源として機能する必要があるため、システム全体のトポロジに制約が生じる可能性があります。

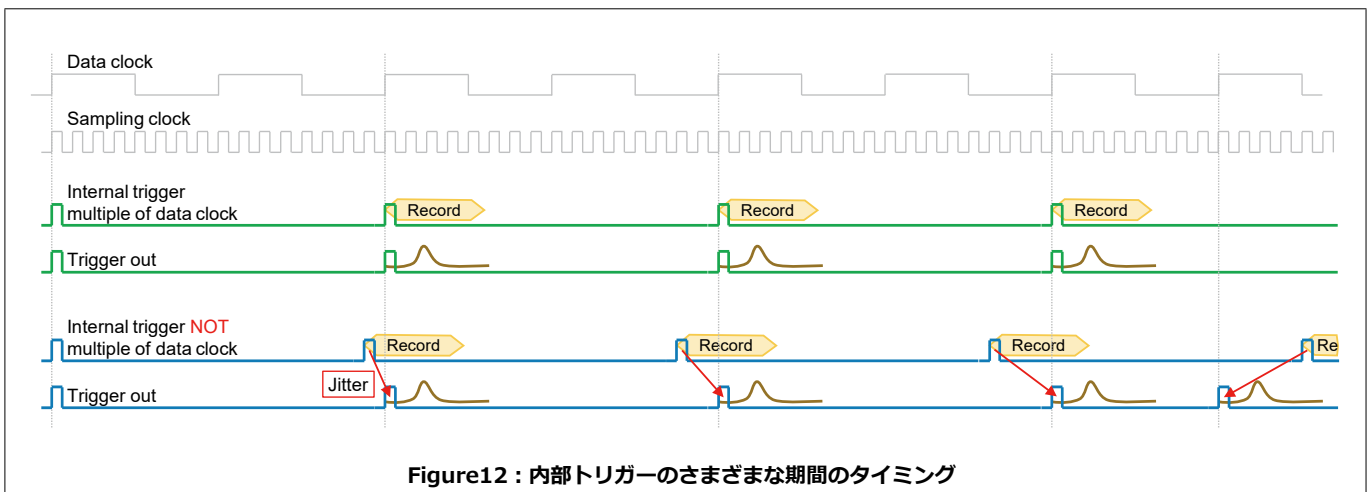
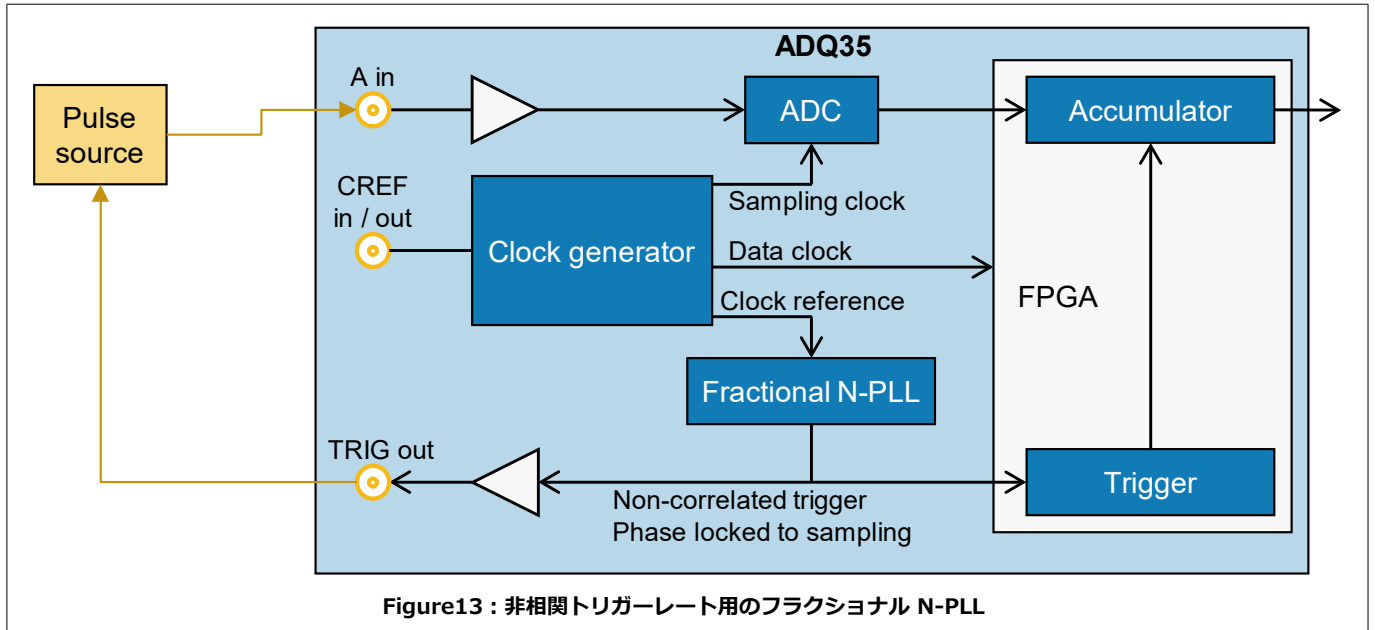


Figure12 : 内部トリガーのさまざまな期間のタイミング



・トリガ周波数はシステムクロックに直接結びついていないため、制御シーケンスの生成が困難になります。

フラクショナルN-PLLとFPGA間の接続は外部トリガーポートを介して行われます。そのため、外部トリガーイベントソースが積算のトリガーとして選択されます。

比較と結果

1. フラクショナルN-PLLと内部トリガの比較

- 1) フラクショナルN-PLLは周波数10,000.09 Hzに設定されており、トリガ周期は500,004.5サンプルです。この信号は、デジタイザとパルスソースの両方のトリガに使用されます。
- 2) トリガ出力パルスの位同期を可能にするため、内部トリガは500,000サンプル周期に設定されています。
- 3) 系統的ノイズを抑制するため、内部

トリガは500,001サンプルに設定されています。

Figure14は、異なるトリガ方法を用いて100,000件のレコードを蓄積した後のバックグラウンドノイズを比較したものです。

- ・500,000サンプルの内部トリガは内部ノイズとの相関を示し、それが蓄積につながっています。
 - ・対照的に、非相関の500,001サンプル内部トリガとフラクショナルN-PLLはどちらも低いランダムノイズを生成し、効果的な抑制を示しています。
- Figure16はパルスの累積を評価しています。
- ・パルスソースは、タイミングアライメントを確保するためにADQ35-PDRXを介してトリガされます。
 - ・パルスの幅は1ns、振幅は20mVです。
 - ・奇数のトリガ周期(例: 500,001サンプル)を使用すると、トリガ出力のジッタによりパルスが広がります(Figure12を参照)。

・500,000サンプル内部トリガは鋭いパルスを生じ、フラクショナルN-PLLは位同期内部トリガと同等の精度の結果を達成しています。

結論として、フラクショナルN-PLLはソースの正確なトリガリングと低いシステムティックノイズの両方を実現できます。

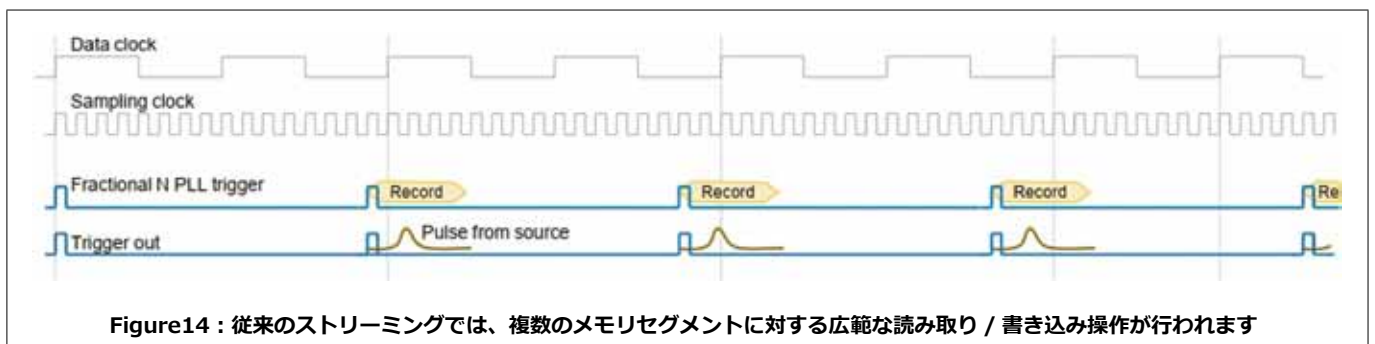
2. 外部トリガソースについて

ADQ35デジタイザのハードウェアには外部トリガソースが内蔵されていません。しかし、この状況で外部トリガを実装するには、2つの適切なアプローチがあります。

1) 位同期トリガ

この構成では、デジタイザとトリガ(および間接的にパルスソース)が共通のクロックベースを共有します。これにより、トリガ周波数とサンプリングレートの比率が一定になり、安定した平均位相関係が維持されます。

ADQ35のフラクショナルN-PLLがサ



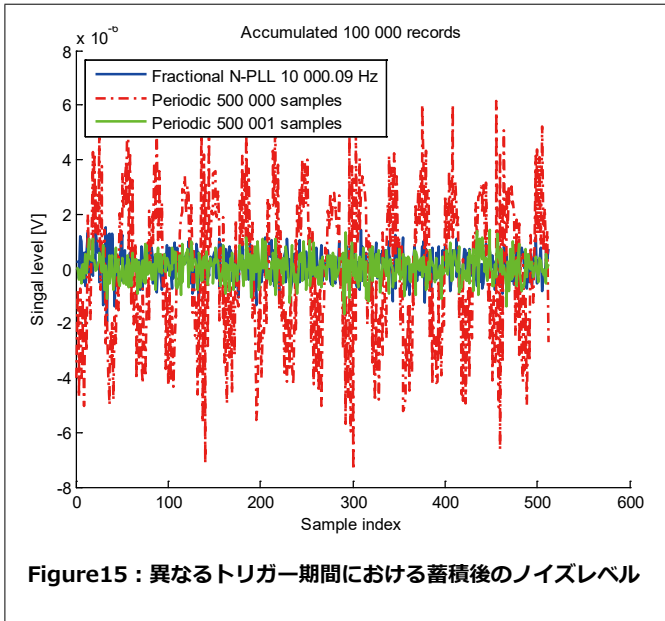


Figure15 : 異なるトリガー期間における蓄積後のノイズレベル

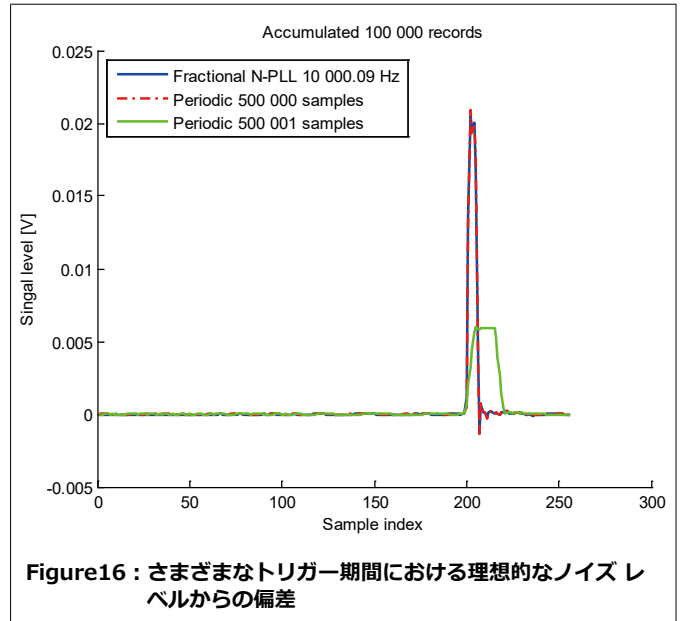


Figure16 : さまざまなトリガー期間における理想的なノイズレベルからの偏差

ポートしているように、外部トリガレートをサンプリングクロック周期の奇数に設定できる場合、システムティックノイズを効果的に抑制できます。

そうでない場合、位相相関により、累積によってシステムティックノイズが増幅されるリスクがあります。

2) 非位同期トリガ

この場合、トリガソースはサンプリングクロックとは独立して動作するため、トリガレートとサンプリングクロックの関係は明確に定義されません。水晶ベースのクロックシステムでは、この差異は数十ppm(パーセント・ミリオン)オーダーになる可能性があり、他のシステムではさらに大きくなる可能性があります。この関係は時間の経過とともに変化することもあります。

その結果、各積算サイクルにおける偶発的な相関の程度に応じて、ある積算法では系統的ノイズが良好に抑制される一方で、他の積算法では抑制されない場合があります。

3. システム設計の側面

このアプローチでは、ADQ35-PDRXがシステムのタイミングマスターとして機能する必要があります。この構成をサポートするために、デジタイザは複数のタイミングインターフェースを備えています。

クロックリファレンス入出力 (CLK)、内部フラクショナルNトリガ (TRIG)、

```
# Use trigger from TRIG out port
parameters.acquisition.channel[ch].trigger_source =
pyadq.ADQ_EVENT_SOURCE_TRIG
parameters.function.fractional_n_pll.frequency = FRACN_FREQ
# pulse out always on to trigger source
port_id = pyadq.ADQ_PORT_TRIG
parameters.port[port_id].pin[0].direction=pyadq.ADQ_DIRECTION_OUT
parameters.port[port_id].pin[0].function = pyadq.ADQ_FUNCTION_FRACTIONAL_N_PLL

# Read back actual frequency
tmp = dev.GetParameters(pyadq.ADQ_PARAMETER_ID_TOP)
UseTrigF = tmp.function.fractional_n_pll.frequency
print(f"Trigger frequency {UseTrigF}")
```

トリガー出力を設定するためのPythonコードサンプル



ADQ35-PDRX デジタイザのフロントパネルコネクタ

そしてタイミング制御用の2つの追加トリガ入力 (SYNCと GPIO) です。これらのコネクタを写真に示します。

リファレンスドキュメント：
Teledyne SP Devices社
Application Note : Triggering for averaging



高速デジタイザの新機能とその応用例



はじめに

デジタイザなどの電子計測機器は、常に改良とアップデートが行われています。市場のニーズやA/Dコンバータなどのコンポーネントの進化が、この性能向上への動きを牽引しています。

Spectrum Instrumentation社は、高帯域幅、大容量収集メモリ、チャンネル数の増加、データ転送の高速化、内蔵パルスジェネレータなど、複数の新機能を追加しました。ここでは、これらの新機能を説明しその応用例をご紹介します。

解析帯域幅の拡張

Spectrum社の高速デジタイザ「M5iシリーズ」に、新たにシングルチャンネルのM5i.3360-x16とデュアルチャンネルのM5i.3367-x16という2つのモデルが加わりました。これらのモデルは、ア

ナログ帯域幅を4.7GHzに拡張しました。これは、12ビットの分解能で最大10ギガサンプル/秒(GS/s)のサンプリングレートによって実現されています。この組み合わせにより、GHz帯における信号の高精度の取得と解析が可能になります。M5iシリーズデジタイザは、±200mVから±2.5Vのフルスケール入力電圧レンジを備えています。標準の取得メモリは2ギガサンプル(GS)ですが、オプションで8GSに拡張できます。最大10GS/sのサンプリングレートで8GSのメモリ容量を実現した場合、800msのレコード長が得られます。

この2つの新しいデジタイザにより、M5i.33xxシリーズのラインナップは7種類となりました。各モデルは、最大サンプルレート3.2GS/s、6.4GS/s、10GS/s、帯域幅1GHz、2GHz、3GHz、4.7GHzを提供します。この幅広い帯域幅とサンプリングレートにより、ユーザーは特定のニーズに最適なコスト効率の高いデジタイザを選択することが

できます。

帯域幅は、デジタイザが大きな減衰なく取得できる周波数範囲を定義する重要な仕様です。帯域幅とは、低周波数において振幅が半電力点 -3デシベル(dB)まで低下する、つまり振幅のゲインが0.707になる入力信号の周波数です。

例えば、広帯域デジタイザは高速シリアルデータストリームの取得と解析に使用できます。一般的な目安として、特定の高速シリアルデータストリームに必要な帯域幅は、データストリームのクロックレートの3~5倍である必要があります。Figure17は、Spectrum製のM5i.3360-x16デジタイザを使用して1GHzでサンプリングされた非ゼロ復帰(NRZ)データストリームを取得し、同社のSBench6取得・解析ソフトウェアで表示した例です。

データは、シリアルデータテストで一般的に使用される27個のデータパターン(PRBS 7)を持つ疑似ランダムバイナリストリームで構成されています。

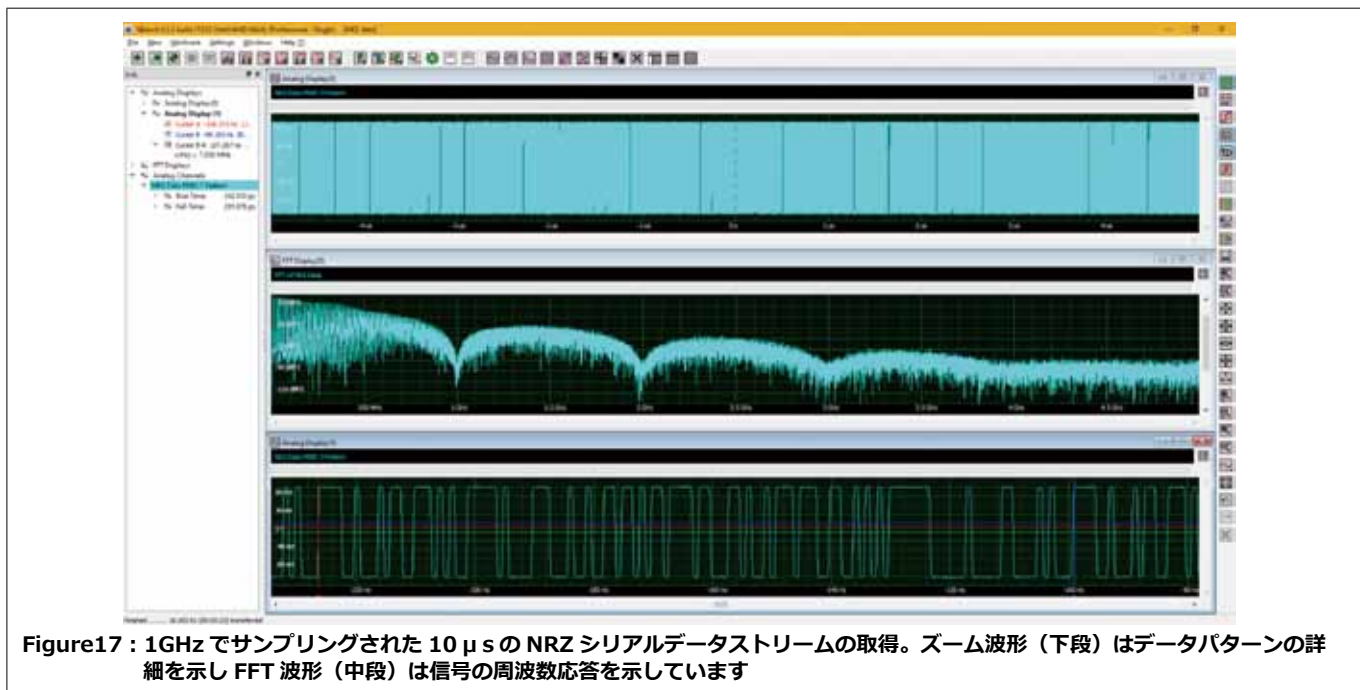


Figure17 : 1GHzでサンプリングされた10 μ sのNRZシリアルデータストリームの取得。ズーム波形(下段)はデータパターンの詳細を示しFFT波形(中段)は信号の周波数応答を示しています

図の上のトレースは、10GS/sで取得した10usの取得データ全体を示しています。下のトレースには、約160nsのセグメントを示す水平方向に拡大されたズーム表示が含まれています。ズームトレースには、1GHzクロックで128nsごとに繰り返されるPRBS 7データパターンの詳細が表示されます。拡大されたトレースのカーソルは、完全なデータサイクルを示します。SBench6ソフトウェアは、信号の立ち上がり時間と立ち下がり時間を290ps強で測定します。SBench6は、中央のトレースに示すように取得した信号の高速フーリエ変換(FFT)も計算します。これは、5GHzの範囲をカバーするデータ信号の周波数領域ビューまたはスペクトルです。これは、10GS/sのサンプリングレートのナイキスト周波数です。FFTは、クロック周波数の倍数(この場合は1GHz)でヌルになる、デジタルデータストリームの予想される $\text{Sin}(x)/x$ 周波数スペクトルを示しています。これは、Spectrum製M5i.3360-x16またはM5i.3367-x16デジタルタイザの4.7GHz帯域幅が信号の周波数に適合していることを示しています。

ソフトウェアツール

M5iシリーズデジタルタイザには、SBench6の基本バージョンに加えWindowsおよびLinuxオペレーティングシステム用のソフトウェア開発キット(SDK)とドライバが付属しています。SDKには、Visual C++、Delphi、Visual Basic、VB.NET、C#、Python、Java、Julia、IVIなど、主要なプログラミング言語を使用した詳細なドキュメントと実用的なプログラミング例が含まれています。Spectrum社は、LabVIEWやMATLABなどのサードパーティ製ソフトウェアツール製品もサポートしています。

マルチチャンネルデータ収集

Spectrum社のStar-Hubオプションを使用すると、最大8台のモジュラーデ



Figure18 : 2枚のM5iシリーズデジタルタイザの一般的なStar-Hubオプション。搭載されたStar-Hubボードとトリガー信号およびクロック信号をインターフェイスする同軸ケーブルセットを示しています

ジタルタイザを接続でき1~2チャンネル以上の高速データ取得が可能になります。接続されたカード間で共通のクロック信号とトリガー信号を共有することで、位相遅延とタイミングスキューを最小限に抑えることができます。Star-Hubオプションは、M5iシリーズデジタルタイザのいずれかにピギーバックモジュールとして搭載され、Figure18に示すように正確に整合されたシールド付き同軸ケーブルで接続されます。

Star-Hubは、2~16チャンネルのデータ取得システムを可能にします。デュアルチャンネルデジタルタイザを使用することで、最大サンプリングレート5GS/sの16チャンネルシステムを構築できます。より高速なサンプリングが必要な場合は、シングルチャンネルデジタルタイザを使用して、最大サンプリングレート10GS/sの8チャンネルシステムを構築できます。Star-Hubをインストールすると、システム内のすべてのカードのタイミングは、±1ppmの精度を持つ内部クロックによって駆動されます。あるいは、ユーザーはフロントパネルのSMAコネクタを介して任意のクロックを供給することもできます。

M5iシリーズデジタルタイザをStar-Hubオプション付きで適用する一例として、DDRメモリのタイミング測定が挙げられます。DDRメモリデバイスは、クロック、データストローブ、およびデータ信号自体の3つのデータ信号とタイミング信号を使用します。Figure19は、Star-Hubでリンクされた3台のM5i.3360-x16シングルチャンネルデジ

タイザ(それぞれ10GS/sでサンプリング)を使用してこれらのタイミング信号を収集した結果を示しています。

収集時間は100usで、10GS/sでオンボード収集メモリの1Mサンプルを使用します。各信号の下のズームトレースは、各信号を水平方向に拡大し100ns間隔での信号の詳細を表示します。データ(DQ)信号とデータストローブ(DQS)信号の位相関係は、メモリで実行されている操作の種類を示します。

DQ信号とDQS信号は、読み取り操作中は同位相です。書き込み操作中は、DQ信号とDQS信号は位相がずれています。下部の2つのグリッドは、データストローブ信号(紫色のトレース)とデータ信号(赤色のトレース)の位相関係を示しています。左下のグリッド(Analog Display 7)は書き込み動作を示し、Analog Display 6は読み出し動作を示しています。書き込み動作におけるDQ信号とDQS信号間の時間差は、カーソルを用いて1.064nsで測定されています。

コンピュータへのデータ転送

Spectrum製M5iデジタルタイザシリーズの強力な機能の一つは、デジタルタイザからコンピュータへ驚異的な転送速度でデータをストリーミングできることです。ストリーミング機能により、デジタルタイザは無制限の信号処理を可能にするグラフィック処理装置(GPU)や、何時間にも及ぶ取得データを保存できるソリッドステートドライブ(SSD)アレイなどの市販のPCテクノロジーと組み合わせ使用できます。

M5iデジタルタイザは、最大12.8GB/秒のデータ転送速度に対応する16レーンGen3 PCIeバスを搭載しています。この驚異的な速度により、6.4GS/秒のサンプリングレートで取得したシングルチャンネルデータ、または3.2GS/秒で取得したデュアルチャンネルデータを、FIFOプロセスでデータ損失なく直接PCにストリーミングできます。さらに高速なサンプリングレートでも、新しい8ビット転送モードを使用することで、データ損失なくストリーミングで

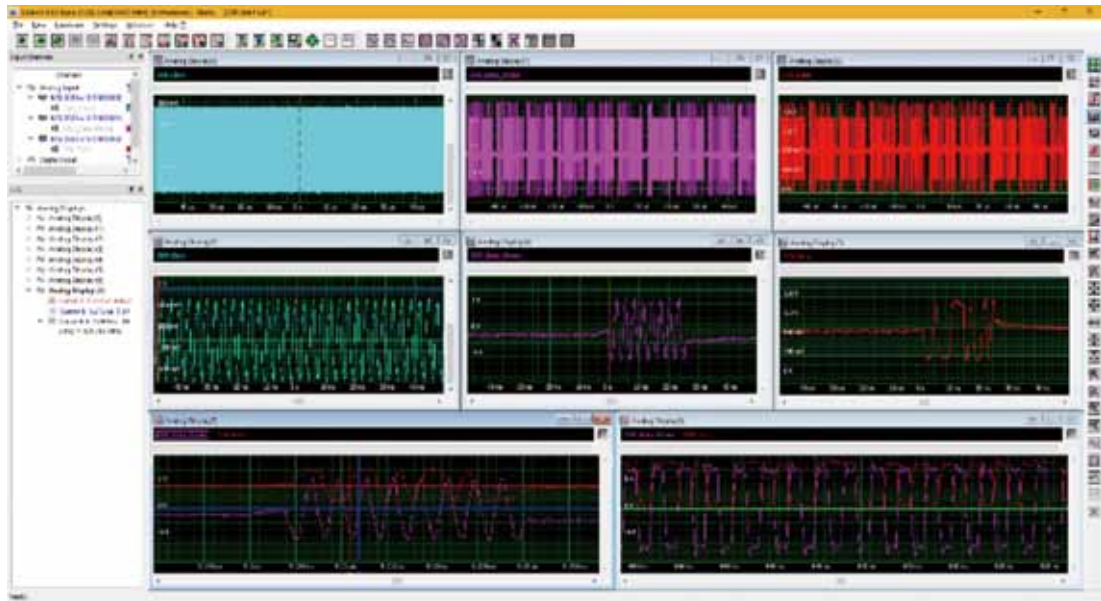


Figure19 : DDR クロック、データストロブ、およびデータ信号の 3 チャンネル取得。SBench6 に信号のズームビューとともに表示されます

きます。このモードでは、1つのチャンネルから最大10GS/s、または2つのチャンネルから最大5GS/sの取得速度でのデータストリーミングがサポートされます。

M5i デジタイザは、市販のグラフィック処理装置 (GPU) にデータを直接ストリーミングするために、Spectrum CUDA Access for Parallel Processing (SCAPP) ソフトウェアを使用します。SCAPP は、取得したデータを、NVIDIA の Compute Unified Device Architecture (CUDA) を使用して、リモートダイレクトメモリアクセス (RDMA) 経由で GPU に転送することを可能にします。これにより、ユーザーは GPU の非常に高い処理能力を活用できます。SCAPP ソフトウェアには、デジタイザと GPU 間のやり取りを制御するために必要なすべてのルーチンが含まれています。また、デジタルダウンコンバージョン、フィルタリング、平均化、FFT、データ分離、データ変換などの複雑な処理機能のサンプルルーチンも含まれています。SCAPP ソフトウェアは C/C++ および Python ベースで、通常のコーディングスキルを使用して簡単に実装およびカスタマイズできます。

SCAPP アプリケーションの例としては、デジタルダウンコンバータ (DDC) の実装があります。この場合、702MHz の入力信号は、M5i.3337-x16 デジタイ

ザカードを使用して 6.4GS/s のレートでサンプリングして取得され、取得されたデータは、最大転送速度 12.8GB/s で NVIDIA RTX A4000 GPU に直接継続的にストリーミングされました。SCAPP ソフトウェアは、一連の処理ブロックを使用して DDC 機能を実装します。これには、ダイレクトデジタルシンセサイザ (DDS)、ローパスフィルタリング、ダウンサンプリングが含まれます。すべての処理ブロックは GPU で実行されます。ダウンコンバージョンプロセスでは、DDS によって生成された複雑な正弦波とデータを混合し、移動平均を適用し、結果をデシメートし (この場合は 512 倍)、デシメートされたデータを有限インパルス応答 (FIR) フィルタに渡して再スケールし、処理されたデータを PC メモリに転送して保存または追加処理を行います。Figure20 は、元の信号のスペクトルと処理されてダウンコンバートされた信号のスペクトルの 2 つの周波数領域のスクリーンショットを示しています。

信号を 702MHz から 2MHz にダウンコンバートするだけでなく、平均化とフィルタリングによって信号対雑音比 (S/N) が向上し、デシメーション処理によってレコード長が縮小されたため、PC での保存と処理が容易になりました。

長時間にわたって信号を取得する必要があるアプリケーション向けに、

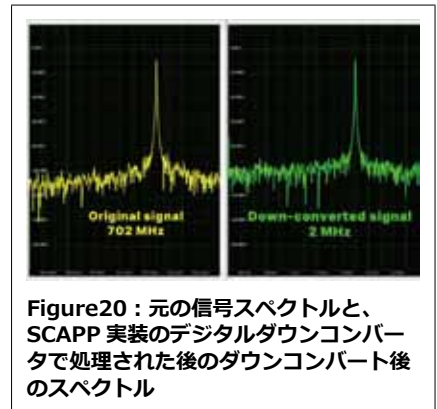


Figure20 : 元の信号スペクトルと、SCAPP 実装のデジタルダウンコンバータで処理された後のダウンコンバート後のスペクトル

Spectrum 社は AMD EPYC プロセッサと最大 240 テラバイトのストレージを備えた U.2 SSD RAID ストレージを搭載した Supermicro サーバーをベースとしたストリーミングシステムも提供しています。このシステムは、取得後の解析のために 10GS/s のサンプリングレートで 6 時間以上連続してギャップフリーのデータをストリーミングできます。より低いサンプリングレートで実行するか、データストレージに連続性が不要な場合はデジタイザのマルチレコーディングモードを使用することで、より長い時間のストリーミングを実現できます。マルチレコーディングにより、再アーム時間が非常に短い場合でも多数のトリガーイベントを取得して転送できます。

内蔵パルスジェネレータ

自動テストおよび計測プロセスでは、多くの場合信号源が必要です。

Spectrum社は、より高度なテスト要件に対応する任意波形発生器(AWG)とデジタル出力計測器を提供しています。さらに、M5iシリーズ高速デジタイザを含むデジタイザおよびAWG向けに、デジタルパルスジェネレータ(DPG)オプションを発表しました。DPGオプションは、4つのデジタルパルスまたはパルスストリームを生成し、モジュール型計測器の前面パネルにある入出力コネクタから出力できる機能を追加します。これらのパルスはデジタイザクロックに同期しています。DPGは、単一パルス、パルスバースト、または連続パルスストリームを出力できます。パルスタイミングは、フリーランニング、ゲート、または計測器のすべての内部および外部トリガソースを使用したトリガが可能です。周波数、デューティサイクル、遅延などの基本的なパルス設定パラメータは、トリガモードやトリガソースと同様に簡単にプログラムできます。パルス振幅は、高インピーダンス負荷に対応する固定の3.3V低電圧TTL出力レベルです。

DPGオプションを使用すると、M5iシリーズデジタイザなどの計測器は、

自動試験装置のトリガおよび同期用のパルス信号、実験用の制御ライン、RFソースのキーイング用のゲート信号を出力できます。ゲートドRFソースは、レーダーからキーレスエントリーシステムまで幅広いRFデバイスで使用されています。

試験対象レーダーのRF搬送波をゲートするためのパルス信号源の必要性について考えてみましょう。DPGは理想的な信号源であり、デジタイザに一体化されているため、追加の計測器は必要ありません。Figure21は、レーダー試験用の1GHz連続波信号源のゲート信号源としてDPGを使用する例を示しています。

DPGパルスはゲート信号(中央のトレース)として使用され、外部RFスイッチ回路を使用して1GHz RF搬送波(上のトレース)をオン/オフにしてパルスレーダー信号(下のトレース)を生成します。これにより、10kHzのパルス線が生成されます。このゲート信号用のSBench6のパルスジェネレーター設定は、画面左下のPulse Generatorウィンドウに表示されます。周波数、デューティサイクル、遅延、トリガモード、およびループカウントの設定によって、生成されるパルスが定義されます。DPG出力とゲートRFパルス

の両方の測定値が、Infoウィンドウ(PulseGeneratorウィンドウの上)に表示されます。パルスのピークツーピーク振幅、周波数、幅、デューティサイクルに加え、ゲートパルス出力の振幅とRF搬送波の周波数も表示されます。信号は視覚的に比較できるように、スプレッド表示タイプの共通グリッドに表示されます。

DPGオプションはデジタイザの価値を高め、多くの場合別途信号発生器を用意する必要がないため、システムコストを削減できる便利なツールです。

まとめ

Spectrum Instrumentation社は、より広い帯域幅、リアルタイム処理による高速データストリーミング、マルチチャンネル機能、さらには4チャンネルの内蔵パルスジェネレータを備えた新しいデジタイザを提供しています。これらの改良により、自動テストをこれまで以上に容易かつ正確に、そして迅速に行うことが可能になります。

リファレンスドキュメント：
Spectrum Instrumentation社
Application Note : New Features for
Modular High-Speed Digitizers

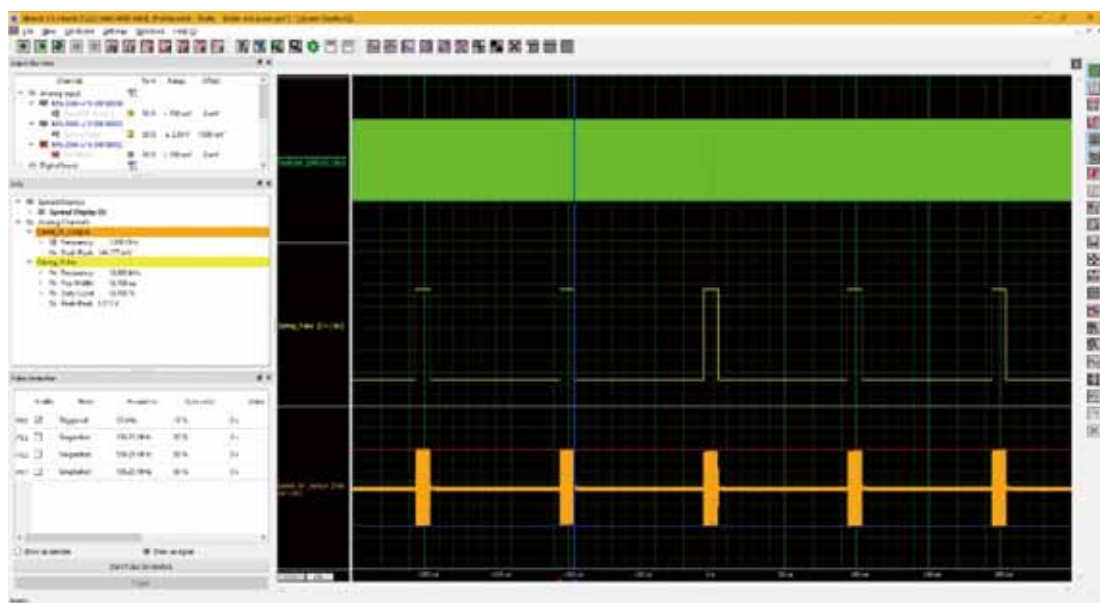


Figure21 : DPG オプションをゲートソースとして使用し、外部 RF スイッチを使用して 1GHz 発振器出力からパルスレーダー信号を生成する

防衛アプリケーション向け システム統合アプローチ

はじめに

防衛アプリケーションにおけるシステム統合は、効果的な対処に専門知識を要する特有の課題を伴います。この章では、複雑な防衛システムを統合するための体系的なアプローチを概説し、導入性とパフォーマンスに影響を与えるソフトウェア、ハードウェア、環境の考慮事項に重点を置いています。

防衛業界は、相互運用性の向上、コスト削減、導入期間の短縮を目指し、モジュール型の標準アーキテクチャへの移行を進めています。標準化の取り組みにもかかわらず、これらのコンポーネントを過酷な運用条件にも耐えうる堅牢で統合性の高いシステムに統合することは、適切な専門知識がなければ依然として複雑でリスクの高い作業です。

この記事は、軍事データ管理システム、航空宇宙ミッションコンピュータ、その他のミッションクリティカルな防衛技術に携わり、防衛アプリケーションにおける効果的なシステム統合アプローチに関するガイダンスを求めているプログラクマネージャー、システムエンジニア、および技術意思決定者を対象としています。技術的な側面に焦点を当てながらも、コアとなる概念はソフトウェアやハードウェア開発の深い知識を持たない読者にも理解しやすいように配慮されています。

まず、防衛分野におけるシステム統合の課題について簡単に紹介し、次に現代の軍事コンピューティングシステムの基盤となるVPXおよびSOSAスタンダードについて考察します。次に、Galleon社の統合手法を詳細に紹介しこのアプローチが一般的な統合課題をどのように解決するかを示す実装例を示します。最後に、ベストプラクティスと推奨事項の概要を示します。

背景

1. 防衛アプリケーションにおけるシステム統合の課題

防衛システムの統合には、ハードウェア、ソフトウェア、メカニカル、熱、電力の各サブシステムを統合し、極限条件下でも確実に機能する統合されたシステムを構築することが含まれます。主な課題は以下のとおりです。

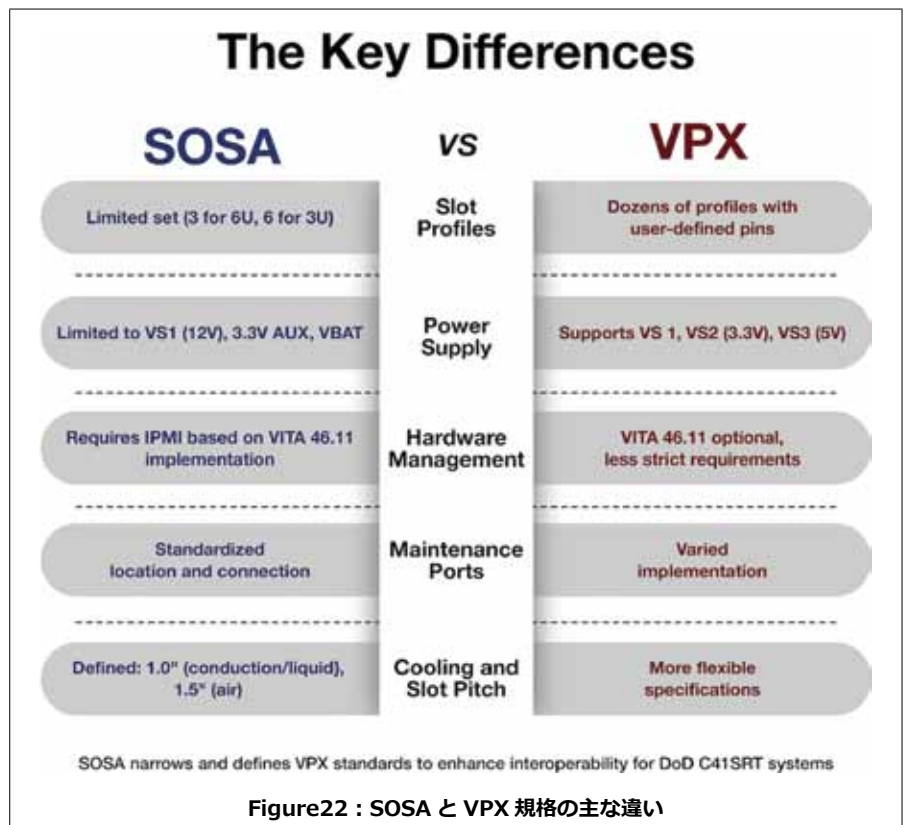
- 衝撃、振動、高温環境への導入に必要な耐久性
- モバイルまたは航空機搭載プラットフォームにおける電力管理の制約
- 複数の規格およびプロトコルにまたがる複雑なI/O統合
- サイズ、重量、電力 (SWaP) の最適化ニーズ
- セキュリティおよび情報保証要件

- 長期的なサポート性と陳腐化管理
- 規格準拠 (MIL-STD-810、DO-160 など)
- コスト

2. VPXおよびSOSAスタンダード

OpenVPX (VITA 65) は、防衛アプリケーションにおける高性能組み込みコンピューティングの最高規格として登場しました。この規格は、異なるメーカーのコンポーネント間の相互運用性を可能にする機械的、電気的、および通信プロトコルを定義しています。

センサー・オープン・システム・アーキテクチャ (SOSA) 技術規格は、VPXを基盤として相互運用性をさらに強化しプラットフォーム間の互換性を確保するための追加の制約を定義しています。事前構成されたアーキテクチャにより、



適切なCOTSハードウェアとコンポーネントの選択と統合が簡素化されます。

SOSA準拠システムには、次のようなメリットがあります。

- 統合リスクの軽減
- 導入期間の短縮
- 技術導入能力の向上
- ライフサイクルコストの削減
- ベンダー非依存

現代の防衛プラットフォームは、これらのスタンダードに準拠したミッション対応のデータ管理システムと航空宇宙データストレージソリューションへの依存度が高まっています。軍用戦術サーバーから堅牢なネットワーク接続ストレージ(NAS)システムまで、SOSA準拠のアーキテクチャにより陸軍データストレージシステムと航空宇宙データレコーダをプラットフォーム間でシームレスに統合できます。

統合アプローチ

Galleon社のシステム統合アプローチは、数十年にわたる防衛プログラムの経験に基づいて開発された構造化された方法論に基づいています。この方法論は、以下の5つの主要フェーズで構成されています。

1. システム要件分析

統合プロセスは、システム要件の包括的な分析から始まります。要件には以下が含まれます。

- 性能仕様
- インターフェース要件
- 環境条件
- SWaP制約
- プログラムのタイムラインと予算上の考慮事項
- セキュリティ要件
- 標準規格への準拠

このフェーズでは、システムアーキテクトは顧客と緊密な協力関係を構築し、設計上の決定の根拠となるアプリケーションのコンテキストと運用上のニーズを詳細に理解します。

2. アーキテクチャ設計

システム要件分析に基づき、以下の点を最適化するシステムアーキテクチャが定義されます。

- 処理性能
- I/O 機能
- 電力管理
- 熱特性
- 堅牢化アプローチ
- 保守性
- 将来の拡張性

このフェーズには、適切かつ利用可能な標準ベースのコンポーネントの選択と特定のプログラムのニーズを満たすために必要なカスタム要素の定義が含まれます。

3. 統合エンジニアリング

統合エンジニアリングフェーズでは、以下の詳細設計と実装に重点を置きます。

- 電氣的インターフェース
- シグナルインテグリティ
- ソフトウェアドライバ
- 機械的な統合
- 熱管理ソリューション
- 電力分配

このフェーズでは、多様なコンポーネントを機能的なシステムに接続し、すべてのインターフェースが環境要件を満たしながら信頼性が高く最適な帯域幅で動作することを保証するという実際の課題に対処します。

4. 検証と妥当性確認

複雑な統合システムの検証には専門的なテスト手法が必要です。Galleon社のアプローチには以下が含まれます。

- 自動機能テスト
- 環境適合性評価
- 性能検証
- インターフェース適合性テスト
- ストレストテスト
- セキュリティ検証

高度に自動化された専用のテストシステムにより、さまざまな動作条件下ですべてのシステム機能を繰り返し検証できます。

5. 導入サポート

検証完了後、導入サポートによりスムーズな現場導入を実現します。

- 導入ガイダンス
- トレーニングサポート
- 技術ドキュメント
- フィールドサービスエンジニアリング
- 長期保守計画
- 技術更新ロードマップ



ケーススタディ：
歩兵戦闘車両ビデオシステム

1. 要件の概要

現代の歩兵戦闘車両には、状況認識、照準、そして乗員インターフェースのための高度なビデオ処理能力が必要です。主な要件は以下のとおりです。

- 複数のビデオ入力ソース(カメラ、センサー)
- 高解像度のディスプレイ出力
- シームレスなリアルタイム信号変換および処理
- ネットワークビデオ配信
- 過酷な環境での運用
- 車両の電力制約への準拠
- 既存の車両システムとの統合

2. システムアーキテクチャ

これらの要件に基づき、VPX ベースのシステムは以下のコンポーネントで設計されました。

- 高性能FPGA処理モジュール
- ビデオキャプチャおよび圧縮ボード
- ネットワークインターフェースモジュール
- ミッション対応の堅牢なディスプレイインターフェース
- 軍用グレードの電源管理サブシステム

3. 統合の課題と解決策

統合フェーズでは、いくつかの主要な課題に対処しました。

【インターフェース管理】

システムには、以下の13個のコネクタにまたがる48個のインターフェースが必要でした。

- DisplayPort 1.3 (32.4Gbps)
- 複数の3G-SDIインターフェース
- 10Gb Ethernet (光および銅線)
- USB3.x

解決策：

最適化された信号ルーティングとインピーダンス整合を備えたカスタムバックプレーン設計により、すべてのインターフェイスにわたって信号の整合性が保証されました。

【熱管理】

限られた空間での高性能処理には熱に関する課題がありました。

解決策：

高度な熱モデリングと伝導冷却と強制空冷の組み合わせにより、コンポーネントの温度を動作範囲内に維持しました。

【ソフトウェア統合】

複数のインターフェースタイプには、調整されたソフトウェア管理が必要でした。

解決策：

メーカーが提供するボードサポートパッケージ(BSP)をテストおよび検証システムの基盤として活用し、多様なハードウェア要素にわたる一貫した制御と検証を実現しました。

4. 検証アプローチ

包括的な検証戦略には以下が含まれます。

- すべてのインターフェースに対する自動テストシーケンス
- 極限温度に対する環境試験
- 振動および衝撃試験
- EMI/EMCコンプライアンス検証
- 長時間信頼性試験

右ページの図は、コンポーネントと外部インターフェース間の相互接続を示すシステムアーキテクチャを示しています。

5. 導入結果

統合システムは、陸上プラットフォーム全体のミッションクリティカルなアプリケーションに導入され、以下の成果を実現しました。

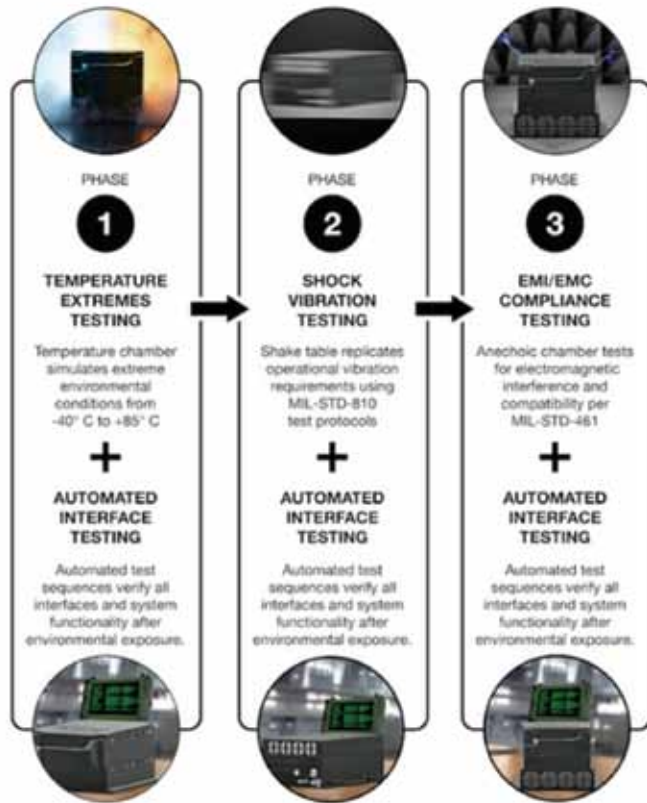
- 過酷な環境下でも信頼性の高い運用
- さまざまな条件下でも一貫した性能
- モジュール設計によるメンテナンスの簡素化
- 包括的な検証によるプログラムリスクの低減



Galleon製 G2 microRecorder
搭載向け耐環境仕様データレコーダ



Defense Equipment Environmental Testing



Comprehensive Verification Strategy for DoD C41SRT Systems
 Ensuring operational reliability in extreme environmental conditions and electromagnetic environments

Figure23 : DoD C41SRT システムの包括的な検証戦略

まとめ

効果的なシステム統合は、防衛プログラムにとって重要な成功要因です。ここで概説した方法論は、要求の厳しい環境に展開するための高度なコンピューティングシステムの統合という複雑な課題に対処するための構造化されたアプローチを提供します。

スタンダードベースのアーキテクチャと実績のある統合プラクティスを組み合わせることで、プログラムはリスクを軽減し、展開を加速しミッションクリティカルなシナリオにおける信頼性の高い運用を確保できます。

Galleon社は数百もの防衛プログラムで培った経験から、システム統合への規律あるアプローチがシステムライフサイクル全体にわたって大きなメリットをもたらすことを実証しています。

リファレンスドキュメント：
 Galleon Embedded Computing社
 White Paper : System Integration For Defense Applications: A Comprehensive Approach

防衛システム統合のベストプラクティス

Galleon社の豊富な経験に基づき、システム統合を成功させるには次のベストプラクティスが推奨されます。

1. 標準規格への準拠

- 可能な限り確立された標準規格 (VPX, SOSA) を活用する
- すべての接続についてインターフェース制御ドキュメント (ICD) を定義する
- 開発プロセス全体を通じてコンプライアンス文書を維持する

2. 統合リスク管理

- 設計プロセスの早期段階で重要なインターフェースを特定する
- 完全なシステム統合前に高リスク要素のプロトタイプを作成する
- 検証のための明確なパフォーマンス指標を確立する

- サブシステムの段階的な統合を実施する
- 早期かつオープンな顧客関与を確立する

3. 環境配慮

- 環境エンベロップ全体を考慮した設計
- 熱設計と電力設計に余裕を持たせる
- 極限環境における性能を検証する
- 要件においてあらゆる展開シナリオを考慮する

4. ライフサイクル計画

- すべての統合に関する決定事項と根拠を文書化する
- 技術の導入と更新を計画する
- 陳腐化に積極的に取り組む
- 航空宇宙データ管理システムが長年にわたる展開サイクルを通じてサポート可能であることを保証する
- 保守およびサポート手順を確立する



Galleon製 XSR 40GbE Recorder
 耐環境仕様40GbEデータレコーダ



衛星監視記録システム



はじめに

衛星監視とは、衛星を用いて宇宙から地球とその環境を継続的に観測することです。これらの衛星にはセンサーが搭載されており、画像、気温、大気の状態などのデータを収集し地上局に送信して分析を行います。



この技術は、気象予報、環境モニタリング、災害管理、交通管制といったアプリケーションにおいて、リアルタイムまたはほぼリアルタイムの洞察を可能にします。その主な利点は、地上システムでは実現できない地球規模の一貫した視界を提供できることです。

衛星監視フレームワーク

衛星監視の目的は、アップリンク/ダウンリンクの品質、干渉検出、およびスペクトル規制への準拠を確保することです。システムは主に3つのコンポーネントで構成されます。

1. 宇宙：特定の周波数帯で動作するトランスポンダーとアンテナを搭載した衛星
2. 地上：アップリンクおよびダウンリンク信号を捕捉するための大型パラボラアンテナ、デジタイザ、RFフロントエンドシステムを備えた監視局
3. ユーザー：受信データを処理および分析するエンドユーザー端末または専用の監視機器

衛星監視における周波数帯域

衛星通信では、それぞれ固有の特性を持つ指定されたRF帯域が使用されます。下の図は、選択された帯域を示しています。

各周波数帯域はサブバンドに分割さ

れており、事業者は特定のサービスに周波数帯域を割り当てるためにサブバンドを使用します。双方向システムでは、干渉を防ぐためこれらのサブバンドはアップリンク（地球から衛星）とダウンリンク（衛星から地球）に分割されます。

通常、帯域の低い部分は大気減衰が少なく受信しやすいため、ダウンリンク用に予約されています。帯域の高い部分はアップリンクに使用され、より高いデータレートをサポートしダウンリンク信号との干渉を回避します。

サブバンドの名称、中心周波数、瞬間帯域幅は、全球測位衛星システム（GNSS）などのシステムによって異なります。例えば、欧州ガリレオシステムでは、Lバンド内で「L」ではなく「E」の表記が用いられており、これは同じ

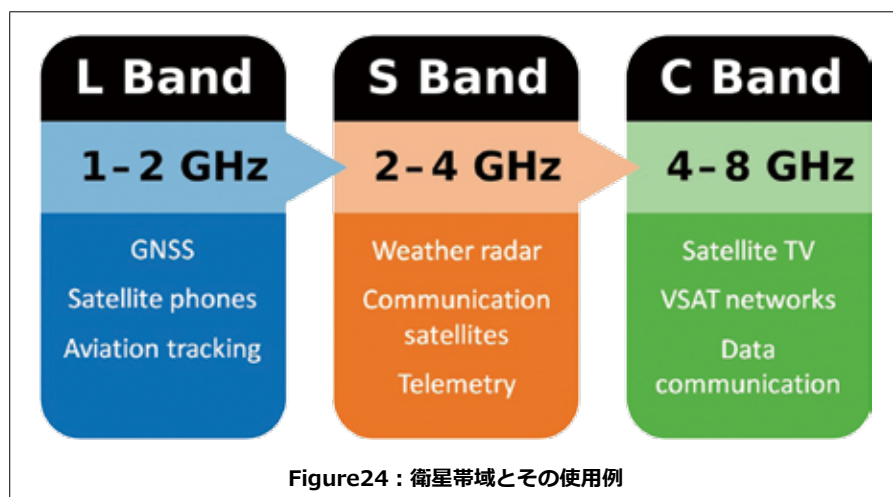


Figure24 : 衛星帯域とその使用例

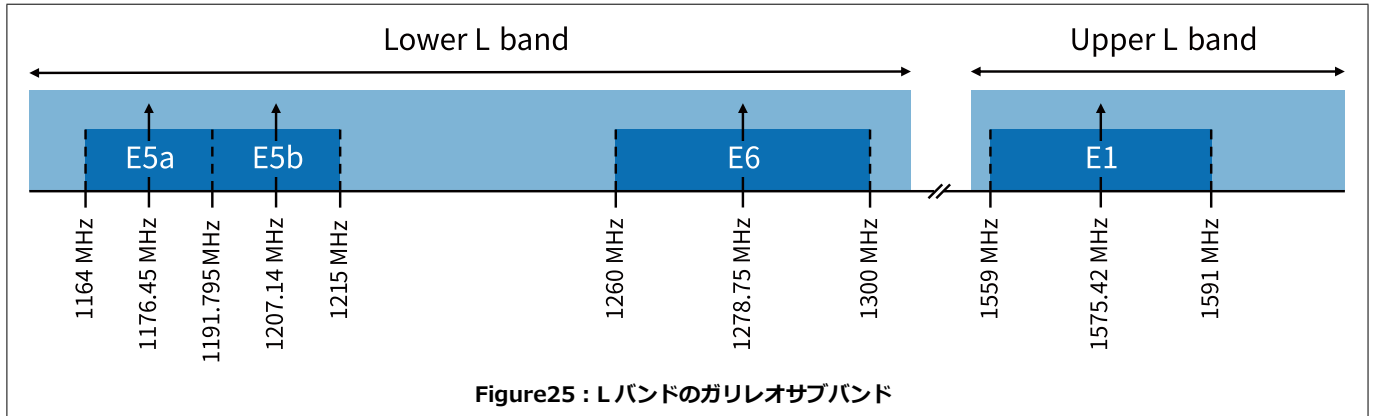


Figure25 : Lバンドのガリレオサブバンド

システム独自の周波数計画を反映しています。上の図は、ガリレオのダウンリンクサブバンドの例を示しています。

衛星監視記録システム

地上局は、衛星から送信される無線周波数 (RF) 信号を高速データ収集ボード (デジタイザ) を使用して捕捉します。これらのボードは、アナログ RF 信号をデジタルデータに変換して処理します。これらのデジタイザは、多くの場合ミキサなしで L バンドおよび S バンド信号を直接サンプリングできるため、システムの複雑さとコストが削減されます。さらに、デジタルダウンコンバージョンや復調などのフィールドプログラマブルゲートアレイ (FPGA) によるリアルタイム処理を利用して、データを保存または送信しさらなる分析を行う準備を行うこともできます。

データ収集

デジタイザの入力帯域幅は、対象帯域内の信号周波数成分を減衰させないために十分に高くする必要があります。さらに、帯域外成分を除去し、エイリアシング (アナログ-デジタル変換時に高周波成分が対象帯域に折り込まれることで発生する歪みの一種) を防止する必須のアンチエイリアスフィルタと組み合わせ、外部信号増幅が必要となる場合があります。SMA コネクタ付きのンプとフィルタは、L バンドなどの特定の帯域向けに市販されています。

デジタイザを選択する際には、周波

数計画と適切なサンプリングレートの選択が重要です。対象信号が特定のナイキスト帯域内に収まるようにし、帯域外信号成分がフィルタリングによって抑制されるようにすることが重要です。第1ナイキスト帯域での信号のサンプリングはベースバンドサンプリングと呼ばれ、第2ナイキスト帯域での信号のサンプリングはバンドパスサンプリングまたはアンダーサンプリングと呼ばれます。適切なバンドパスフィルタリングを適用する場合、最小サンプリングレートは信号帯域幅の2倍以上である必要があります。これは、L バンド、S バンド、C バンドでそれぞれ2、4、8ギガサンプル/秒 (GSPS) に相当します。

Teledyne SP Devices 社の ADQ35-WB デジタイザは、12ビット分解能、9GHzの入力帯域幅、そしてデュアルチャンネルモードで3G、4G、または5GSPS (ギガサンプル/秒)、シングルチャンネルモードで6G、8G、または10GSPSのサンプリングレートを提供

します。これにより、L バンドと S バンド全体を直接サンプリングできます。C バンドのサンプリングにはデジタルイコライゼーションを利用することで、アナログ帯域幅のロールオフを補正できます。

サンプリングレートオプションは、周波数プランニングの最適化において優れた柔軟性を提供します。例えば、L バンドは5GSPSでサンプリングするのが最適で、デジタイザの第1ナイキスト帯域に収まります。S バンドのアンダーサンプリングは、フィルタ通過帯域に十分なマージンを確保するため、4GSPS サンプリングが最適です (S バンドは第2ナイキスト帯域全体をカバーするため)。ただし、5GSPS サンプリングオプションは、対象信号 (2GHz ~ 4GHz) が第1ナイキスト帯域と第2ナイキスト帯域 (2.5GHzで分割) の両方にまたがるため、エイリアシングが発生するため適切な選択ではありません。同じ理由から、C バンドのアンダーサンプリングは8GSPSが最適です。

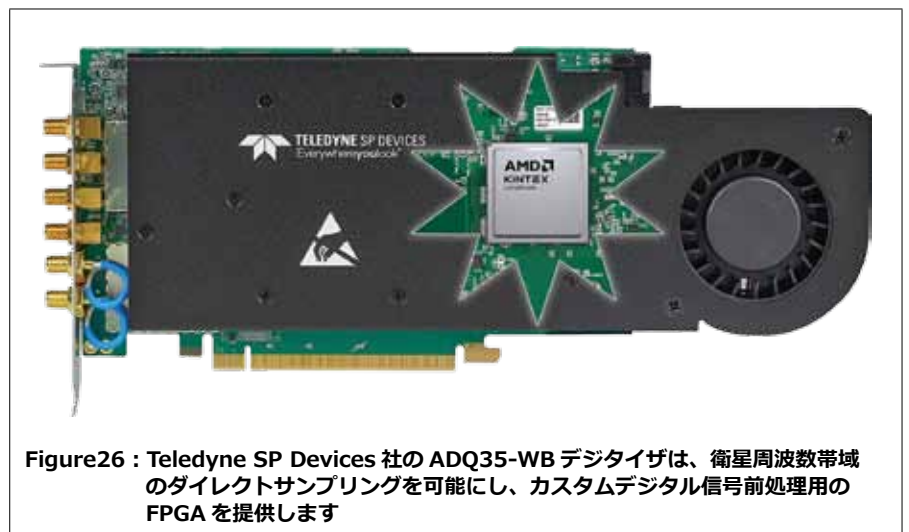


Figure26 : Teledyne SP Devices 社の ADQ35-WB デジタイザは、衛星周波数帯域のダイレクトサンプリングを可能にし、カスタムデジタル信号前処理用の FPGA を提供します

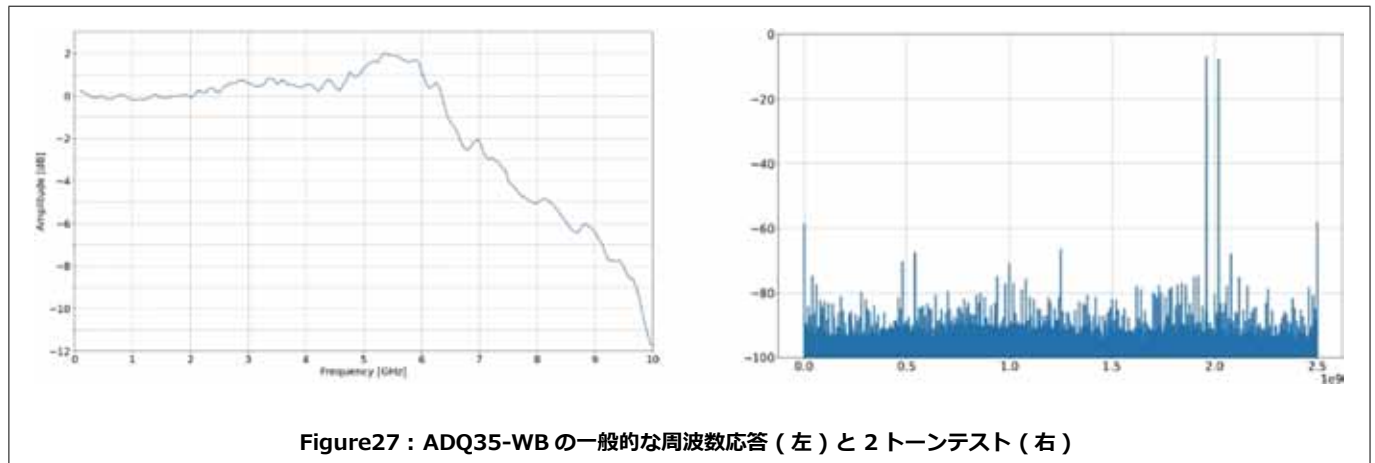


Figure27 : ADQ35-WBの一般的な周波数応答 (左)と2トーンテスト (右)

十分に高いサンプリングレートを選択する利点は、出力データレートが制限され後処理が簡素化されることです。あるいは、対象信号がナイキストゾーンの境界を超えない場合、意図的に高いサンプリングレートを選択しデシメーションなどのデジタル後処理と組み合わせることで、信号対雑音比(SNR)を向上させつつ、後処理のデータレートを低減することも可能です。この点については以降のセクションで詳しく説明します。

FPGAによる前処理とデータ転送

高速デジタイザからのデータ量が膨大になる可能性がある衛星モニタリングでは、FPGAによる前処理が不可欠です。ADQ35-WBは1秒あたり100億回の測定を実行し、各サンプルを2バイトで表現するため驚異的な20GB/秒のデータ転送速度を実現します。この速度であれば、1TB(テラバイト)のSSDはわずか50秒でフルになります。

衛星監視のような高スループットアプリケーションには、PCIeインターフェースを備えたデジタイザが適しています。ADQ35-WBはホストPCへの最大14GB/秒の転送速度をサポートしますが、PCIeリンクの飽和を避けるため20GB/秒の出力データを削減する必要があります。この前処理により、帯域幅のボトルネックを回避できるだけでなく下流の後処理も簡素化されます。

FPGAデータ削減の例

オンボードFPGAには無数のリアルタイムデータ削減手法を実装できますが、衛星監視に適した候補として特に次の2つのタイプが挙げられます。

1. ビット圧縮 : ADQ35-WBはビット圧縮機能を内蔵しており、各測定値を例えば10ビットで転送できます。これは1サンプルあたり1.25バイトに相当し、各デジタイザからの合計データレートは12.5GB/秒となります。これは14GB/秒のPCIeリンク容量を下回るため連続ストリーミングが可能です。この方式の利点は、LバンドまたはSバンドのフルデータ取得データを追加の後処理やディスクへの記録のためにデータ損失なく転送できることです。

2. デジタルダウンコンバージョン : FW2DDCファームウェアオプションは、オンボードFPGA内に2つのリアルタイムデジタルダウンコンバータ(DDC)をデジタイザに搭載します。DDCは周波数変換を可能にし、数値制御発振器(NCO)を使用してRF信号をベースバンドまたはより低い中間周波数にミックスダウンします。また、対象周波数帯域を分離するフィルタと、後続の処理を簡素化するためにデータレートを低減するデシメーション技術も備えています。さらに、フィルタとデシメーションを組み合わせることで、信号対雑音比(SNR)の向上にも役立ち

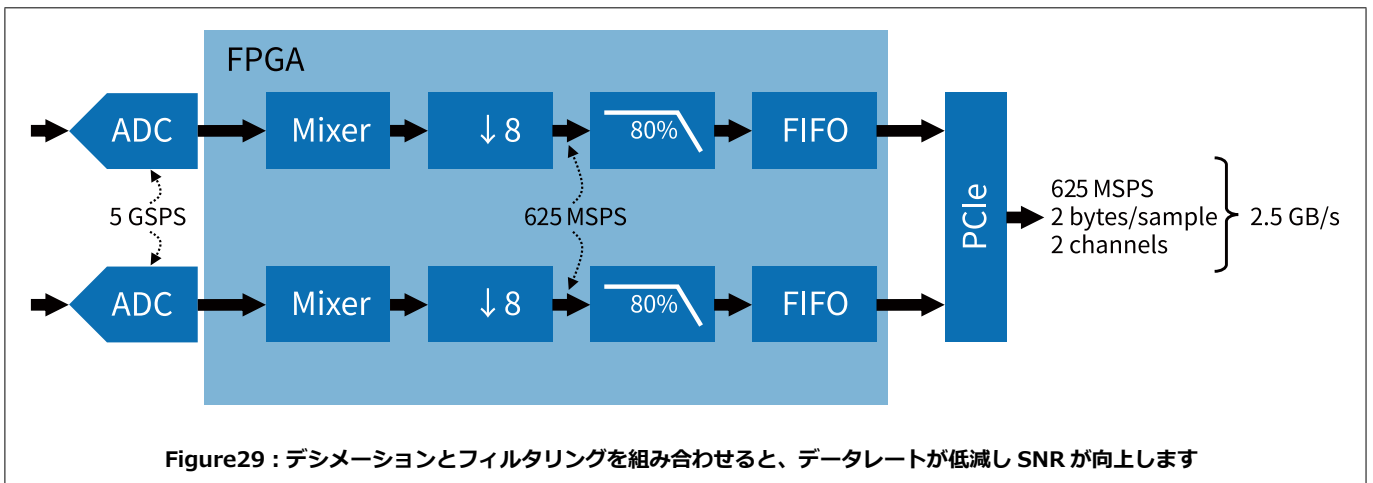
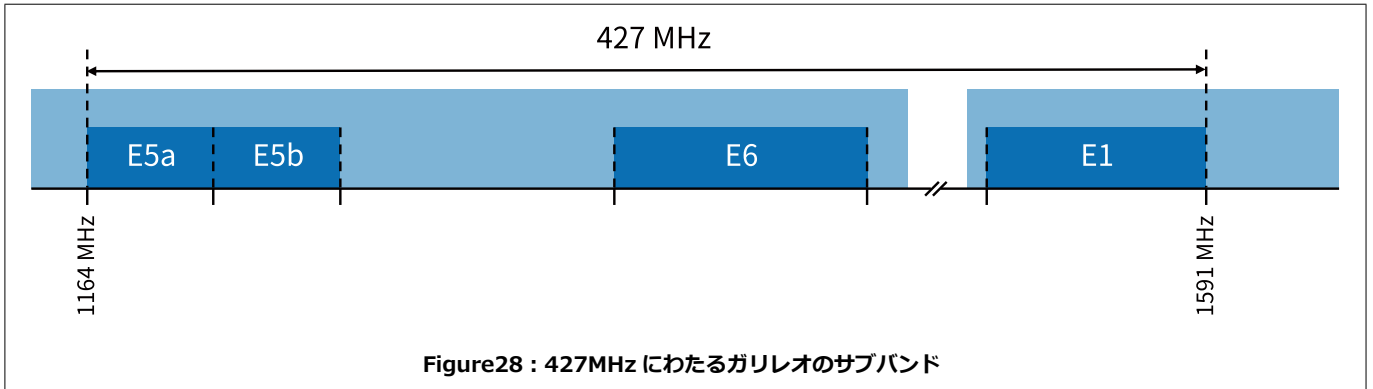
ます。FW2DDCは、同相信号や直交信号(IQ信号)など、実数値または複素入力を持つ幅広い無線アーキテクチャをサポートします。

ガリレオ信号のダイレクトサンプリング

デュアルチャンネルモードを使用することで、2つの偏波の取得が可能になりデジタルダウンコンバージョンと組み合わせる場合、5GSPSというサンプリングレートは最適な選択肢となります。427MHzの信号全体が、最大2.5GHzまで第1ナイキストゾーンに収まることに注意してください。

FW2DDCのNCO(ミキサ)周波数を-1377.5MHzに調整すると、バンドは0にダウンコンバートされ、-213.5MHzから213.5MHzの範囲にわたるIおよびQとして表されます。

デシメーションとフィルタリングを組み合わせることでデータレートを低減し、SNRを向上させることができます。8分の1デシメーションによりサンプリングレートは625MSPSとなり、後続のFIRフィルタはナイキスト周波数($0.8 \times 312.5\text{MHz} = 250\text{MHz}$)の80%通過帯域を提供します。これにより実効ノイズ帯域幅が減少するため、SNRは約9dB向上し、結果としてデータレートは625MSPS \times 2バイト \times 2チャンネル = 2.5GB/sとなります。このデータレートはGPUにストリーミングされ、ダウンコンバートと復調処理が可能です。



ピアツーピアデータ転送

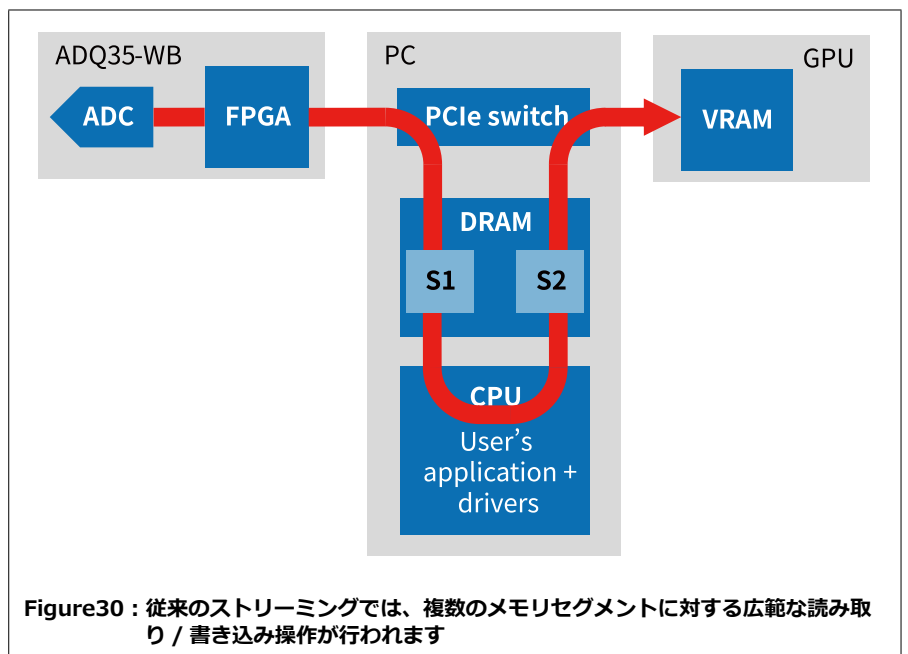
従来のデータ転送では、デジタイザの出力データはホストPCのCPUとシステムメモリを経由して、グラフィックス・プロセッシング・ユニット (GPU) などのエンドポイントに到達します。この間接的なパスはレイテンシを引き起こし、貴重なCPUリソースを消費し、メモリ帯域幅の制限によりスループットを制限します。

一方、ピアツーピア (P2P) ストリーミングは、PCIeダイレクトメモリアクセス (DMA) を使用して、デジタイザからGPUに直接データを転送します。CPUとRAMを完全にバイパスすることで、P2Pはこれらのボトルネックを解消し真の高速パフォーマンスを実現します。複数のデジタイザが単一のエンドポイントに同時にストリーミングできるため、PCIe Gen5 x16で最大56GB/秒のデータレートを実現し、リアルタイム処理や大規模データキャプチャに最適です。

オンボードFPGA処理

オンボードFPGAは、PCIeリンク容量に合わせてデータレートを低減するために不可欠です。ユーザーは、アプリケーション固有のアドオンファームウェアを利用したり、オープンFPGAを

介してカスタムリアルタイム信号処理を追加したりできます。ただし、リソースには限りがあるため後処理が必要となる場合があります。



GPU 処理

GPUは、幅広い信号処理タスクに対して費用対効果の高い後処理を提供します。FPGA開発と比較して、GPU向けソフトウェアの開発と保守は一般的に迅速かつ容易です。GPUベースの後処理により、保存前のデータレートがさらに低減され転送帯域幅の要件と全体的なストレージ容量の両方が緩和されます。

例えば、GPUベースのチャネライザは上記の例に示すように直接サンプリングで取得した427MHzの合成信号からガリレオサブバンドを抽出できます。デシメーション後、データレートは約2.5GB/秒に低下しますが、これはPCIe Gen5インターフェースが最大約56GB/秒を処理できる最新のGPUの能力に十分対応できる範囲です。

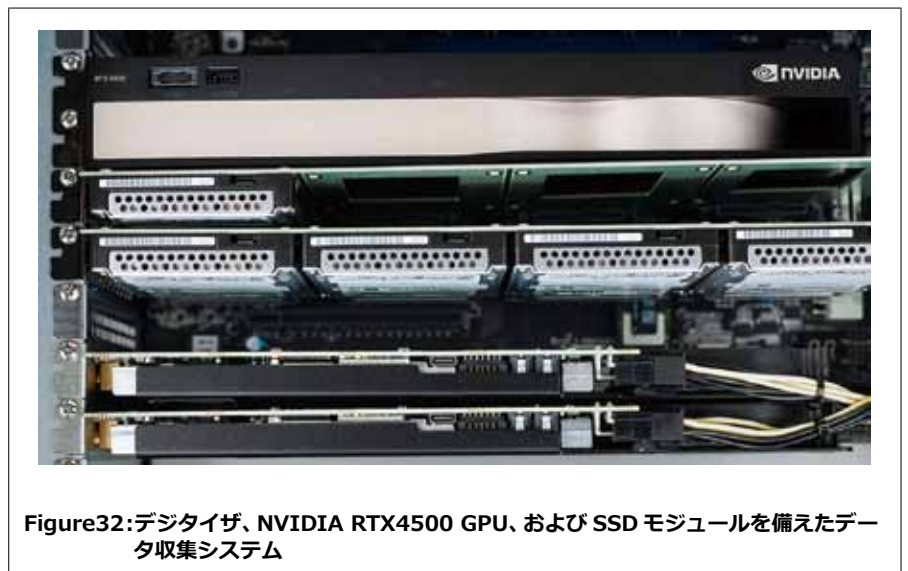
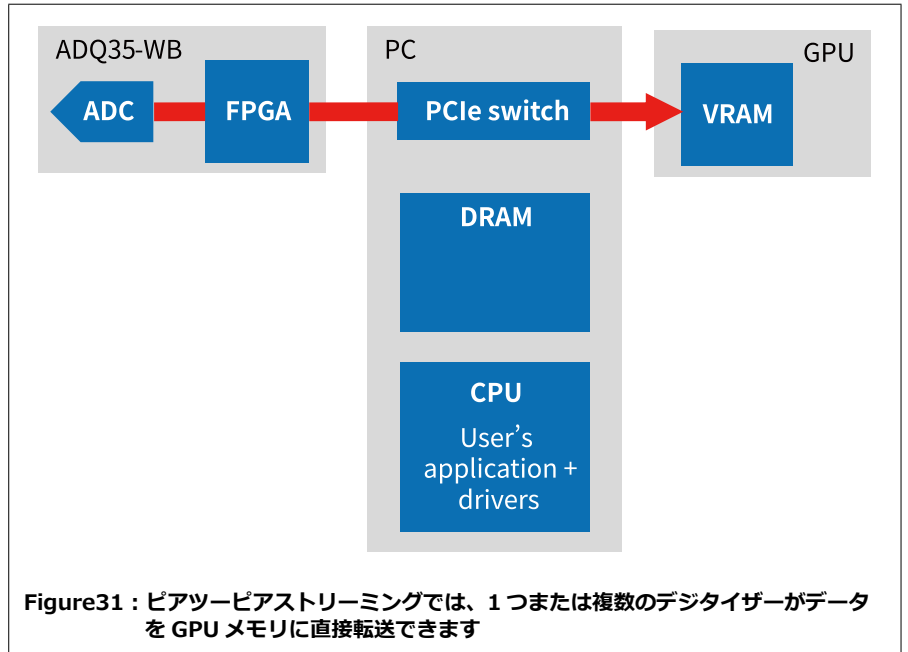
ADQ35-WBは、コンシューマグレードのGPUだけでなく、NVIDIA RTX 4500などの高性能プロフェッショナルモデルもサポートし、要求の厳しいアプリケーションに極めて高い処理能力を提供します。

高速ディスク記録

高速ストレージを必要とするPCIeシステムでは、複数のNVMe SSDをホストするPCIe-NVMeアダプタボードで構築されたRAIDアレイがよく使用されます。これらのボードは、1つのx16 PCIeスロットを複数の独立したセット(例えば、4つのNVMeドライブの場合はx4/x4/x4/x4)に分割する分岐機能を採用しており、別々のPCIeレーンにまたがる並列書き込み操作を可能にします。あるいは、オンボードPCIeスイッチを備えたキャリアボードを利用することもできます。どちらの方法であっても、総スループットはドライブ数に比例して増加します。

持続的な書き込み速度は使用するNVMeモジュールに依存し、OSファイルシステムをバイパスして生データブロックをディスクセクターに直接書き込むことで効率が最大化されます。

これは、Teledyne SP Devices社独自



のNVMeストリーミングライブラリであるlibadsによってサポートされています。コンシューマグレードとエンタープライズグレードの両方のSSDを利用でき、PCIe Gen4では通常、ディスクあたり最大7GB/秒、PCIe Gen5では最大14GB/秒をサポートします。ただし、コンシューマグレードのドライブは、SLC(シングルレベルセル) キャッシュの制限により、長時間の記録中にパフォーマンスが低下します。それでも、数百ギガバイトまでの短時間のバースト書き込みであれば、キャッシュが枯渇して書き込み速度が大幅に低下する前であればコスト効率は良好です。

対照的に、エンタープライズクラスのドライブは、高い持続スループットを無期限に維持します。これらのドライブを使用した構成では、合計書き込み速度は56GB/秒、総ストレージ容量はスロットあたり1PB(ペタバイト)に達します。

まとめ

PCIeベースのマルチチャンネルデータ収集システムは、衛星監視のためのコスト効率に優れた高性能ソリューションを提供します。搭載FPGAにより、ユーザーは生データストリームに対してリアルタイムで計算負荷の高い信号処理を直接実行でき、高速PCIeリンクは出力を複数のエンドポイントに転送します。

GPUによるコスト効率の高い後処理により、複数のデジタルライザーからのデータを並列処理できるようになり、ワークフローが簡素化され開発期間が短縮されます。ストレージに関しては、市販のエンタープライズグレードSSDは、スロットあたり1PBの総容量で最大56GB/秒のディスクストリーミングをサポートします。また、短時間のフルスピード記録には、より経済的なオプションも利用可能です。



Teledyne SP Devices社のADQ35-WB
デジタルライザーボード

リファレンスドキュメント：

Teledyne SP Devices社

Application Note : Interleaving 2
pieces of ADQ35 to get 20 GSPS and
stream data to GPU

 **TELEDYNE SP DEVICES**
Everywhere you look™



Figure33 : ドライブあたり 15 テラバイトをサポートする 4つの Kioxia CD8 NVMe
エンタープライズ クラス SSD モジュールを搭載した PCIe-NVMe アダプ
タボード

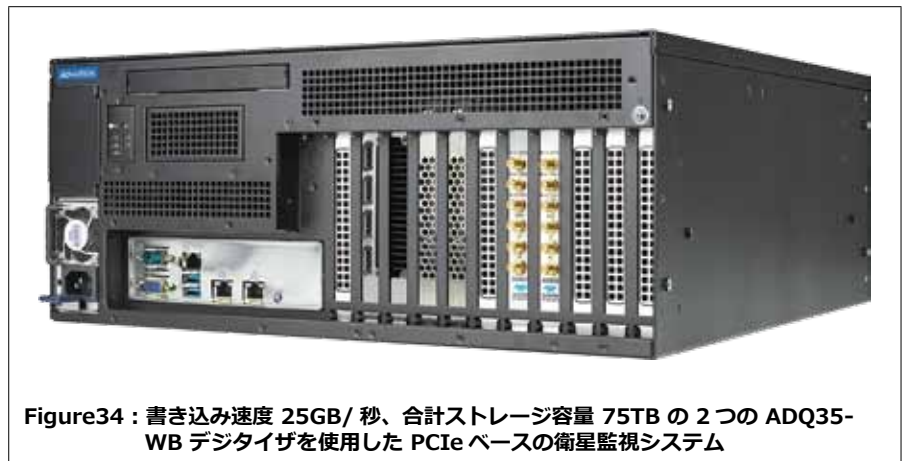
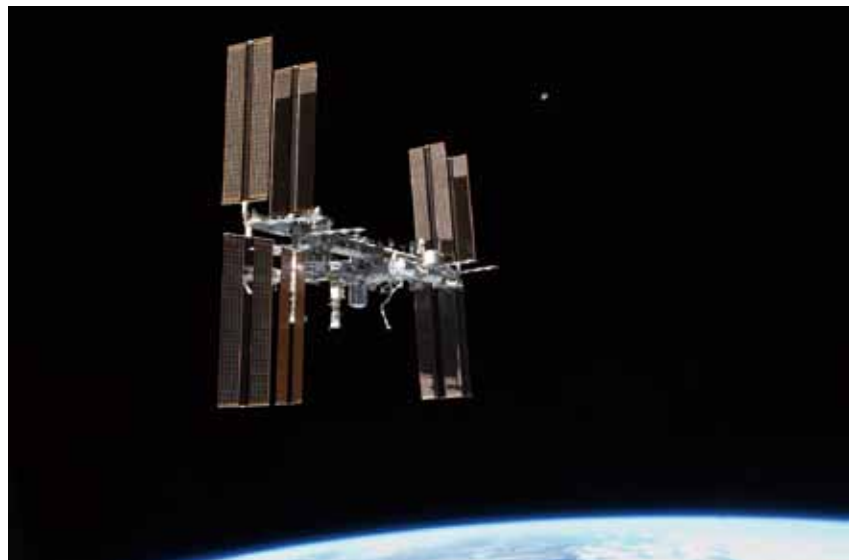


Figure34 : 書き込み速度 25GB/ 秒、合計ストレージ容量 75TB の 2つの ADQ35-
WB デジタルライザーを使用した PCIe ベースの衛星監視システム



新製品ピックアップ

ここでは今年の新製品をピックアップして紹介します。

- Teledyne SP Devices社製 ADQ3-USB 10GSPS USBボックス
- Spectrum Instrumentation社製 DN6.335-12 データ収集装置
- Novo Space社製 SBC004SV SpaceVPX FPGAボード
- Alphi Technology社製 M.2-XCAU7P-FPGA FPGAボード
- Extreme Engineering社製 XPedite8370 UltraシリーズCPUボード



Teledyne SP Devices社製 ADQ3-USB 10GSPS USBボックス



ADQ3-USBは、ADQ3xシリーズA/Dコンバータを搭載したUSB接続高速A/Dボックスです。ADQ3-USBは、USB3.2経由でPCへの高速データ転送向けに設計された、コンパクトで省ス

ADQ3-USB 仕様	
ADQ3x シリーズ デジタイザ	ADQ30: 1GSPS, 1ch ADQ32: 5GSPS, 1ch/2.5GSPS, 2ch ADQ33: 1GSPS, 2ch ADQ35: 10GSPS, 1ch/5GSPS, 2ch
インタフェース	USB 3.2
サイズ	215(W) x 235(L) x 40(H) mm
OS	Windows, Linux

ペースなスタンドアロンデジタイザです。オンボードFPGAはリアルタイムデジタル信号処理によりデータレートを低減し、USB3.2の帯域幅制限下でも性能を損なうことなくシームレスな動

作を実現します。ADQ3-USBはPCIeスロットを持たないミニPCやノートパソコンでの使用に適しておりWindows、Linuxをサポートしています。

Spectrum Instrumentation社製 DN6.335-12 データ収集装置



DN6.335-12は、10GHz 12bit 6ch 又は 5.0GHz 12bit 12ch のLAN接続ボックスタイプ多チャンネルデータ収集装

DN6.335-12 仕様	
A/D サンプリングレート	10GS/s, 5GS/s
チャンネル数	2ch, 3ch, 4ch, 5ch, 6ch (10GS/s) 4ch, 6ch, 8ch, 10ch, 12ch (5GS/s)
ホストインタフェース	Gigabit Ethernet (LXI 規格対応)
サイズ	580 x 580 x 280 mm
OS	Windows, Linux

置です。デスクトップPC又はノートPCにLAN接続し、広帯域信号を高精度に取得する事が可能です。全チャンネル同時サンプリングが可能で、オンボードメモリに保存したデータをGigabit LAN

経由で読み出すことができます。LXI (LAN eXtensions for Instrumentation)に対応していますので遠隔(ローカルエリア、インターネット経由)でのリモート制御が可能です。

Novo Space社製 SBC004SV SpaceVPX FPGAボード



SBC004SVは、VITA 78 SpaceVPX規格に対応したSmartfusion2 SoCの3U VPXタイプFPGAキャリアボードです。

SBC004SV 仕様	
FPGA	AMD/Xilinx Versal AI Core VC1902
FMC サイト	ANSI/VITA 57.1 準拠 (HPC)
メモリ	4GB DDR4, 64GB NAND flash
SpaceVPX	ANSI/VITA 78.00-2022 準拠
OS	Linux, RTEMS, FreeRTOS

SBC004SVは、SpaceVPX規格で定義されているシステムコントローラまたはペイロードとしての動作をサポートします。SBC004SVには、72ビット幅のメモリバスを備えた4GBのECC保護付きDDR4メモリと、デバイスの構成とファームウェアを保存するためのNOR

フラッシュメモリを搭載したAMD/Xilinx Versal ACAPデバイスが搭載されています。より高い不揮発性ストレージ容量を必要とするアプリケーション向けに、このボードはNANDフラッシュメモリも提供しています。

Alphi Technology社製 M.2-XCAU7P-FPGA FPGAボード



M.2-XCAU7P-FPGA は、Artix Ultra Scale+ を搭載したFPGAボードです。ボードには32個のI/Oチャンネルがあり、最大16個の差動デバイス、または最大

32個のLVTTTLチャンネル(2個ずつソフトウェアで選択可能)のオン/オフ(ハイ/ロー)状態を監視または制御できます。入力チャンネルは、状態の変化、または任意のビットのレベル検出を検出する割り込みを使用して設定できます。RS-422/485の入力しきい値には、ノイズ耐性を高めるためのヒステリシスが含まれています。ユーザプログラマブルのFPGAを搭載していますので、カスタムロジックを実装することができます。

M.2-XCAU7P-FPGA 仕様

FPGA	AMD/Xilinx Artix UltraScale+
I/O インタフェース	16x RS-422/485 bidirectional, 又は 32ch LVTTTL
ホストインタフェース	PCI Express x4
フォームファクタ	M.2
OS	Linux, Windows, VxWorks

Extreme Engineering社製 XPedite8370 UltraシリーズCPUボード



XPedite8370は、Core Ultraシリーズプロセッサを搭載した3U VPXタイプのCPUボードです。SOSAのI/O Intensive プロファイル (SLT3-PAY-1F1F2U1TU1

T1U1T-14.2.16) に準拠し、高帯域幅処理と低消費電力が求められる堅牢なシステムに最適なXPedite8370は、今日のネットワーク情報処理および高性能組み込みコンピューティングアプリケーションに優れた性能と効率を提供します。XPedite8370は、SecureCOTS™テクノロジーとMicrochip PolarFire™ System-on-Chip (SoC) FPGAを統合し、データの改ざんや盗聴を防ぐカスタム機能をホストすることで、厳格なセキュリティ機能が求められる場合に最適なソリューションを提供します。

XPedite8370 仕様

プロセッサ	Intel Core Ultra シリーズ
メモリ	Max. 64GB LPDDR5 SDRAM Max. 512GB NVMe ストレージ
XMC サイト	1x PCI Express Gen4 インタフェース
フォームファクタ	3U VPX
OS	Linux, VxWorks

地球温暖化を考える11



【レッドリスト】

温暖化の影響で絶滅危惧種とされている動植物がレッドリストとして登録されています。

- レッサーパンダ
- ワオキツネザル
- ホッキョクグマ
- ツキノワグマ
- アジアゾウ
- シロサイ
- スマトラサイ
- チンパンジー
- オランウータン
- マレーバク
- ジャイアントパンダ
- エジプトリクガメ
- ガラパゴスペンギン
- トラ

これらはその一部ですが、私たちが良く知っているレッサーパンダやホッキョクグマ、最近日本から中国に返還されたジャイアントパンダなども絶滅することが危惧されています。これは人間の活動がもたらしている結果であることを改めて認識し、地球に生息する全ての生き物が将来に渡って安心して生活できることを願っています。

展示会のご案内

SPEXA 国際宇宙ビジネス展
日時：2026年5月27～29日
場所：東京ビッグサイト 南ホール
皆様のご来場をお待ちしています。
<https://www.spexa.jp>

受託開発

弊社ではソフトウェア/ハードウェア/FPGAの受託開発も承っております。お困りの事がございましたらお気軽にご相談ください。
✉ sales@mish.co.jp

おわりに

テックジャーナルでは、これからも出来る限りお客様に有効となる情報を提供していきたいと思っております。今後ともどうぞよろしくお願い申し上げます。



NOVO SPACE

EASY

◆ Plug & Playで複数のH/Wを組み合わせることで開発期間を短縮します

POWERFUL

◆ 最先端の部品と高速インタフェースで高性能化を実現します

RELIABLE

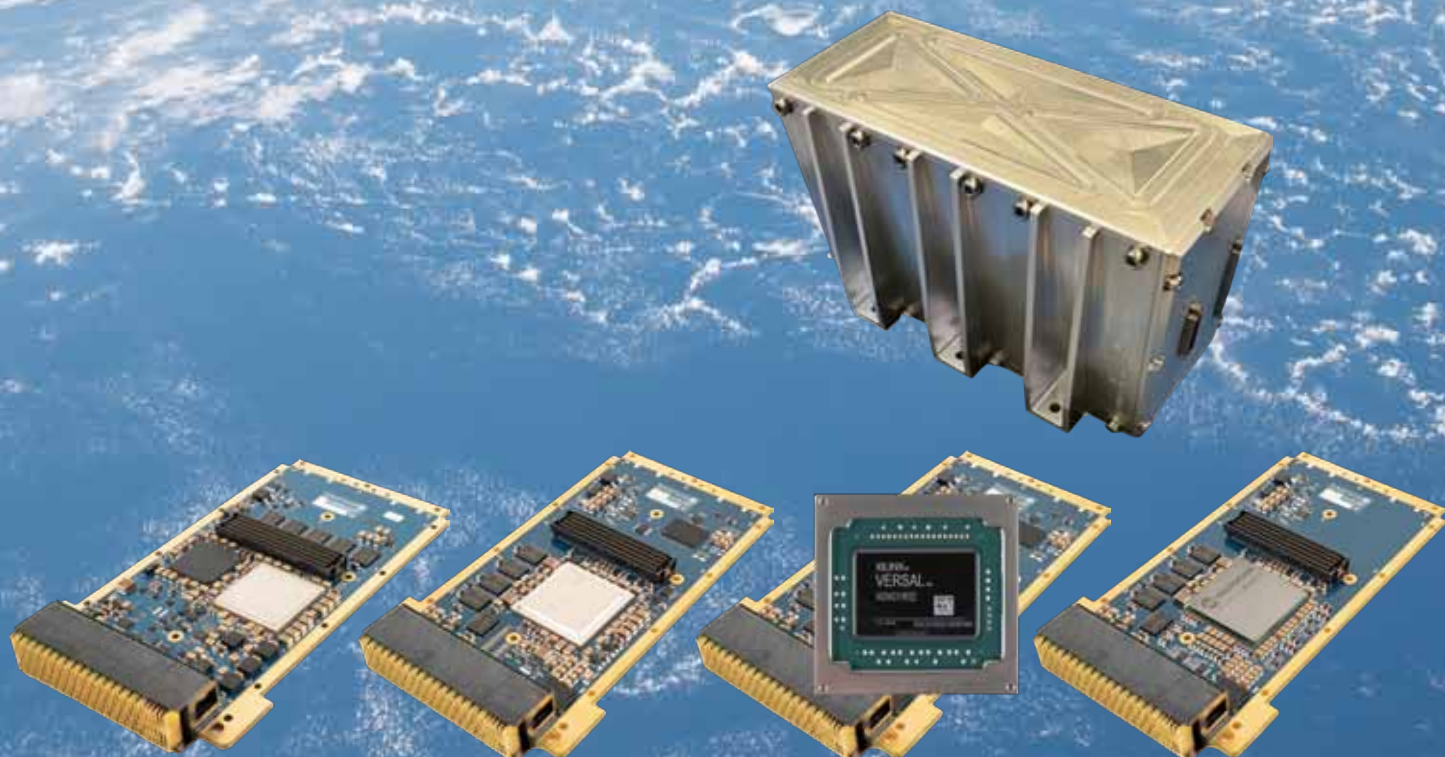
◆ 共有バスを使用していないため障害が他の基板に波及しません

COMPACT

◆ 独自の特許技術で体積を最大35%節約します

OPEN STANDARD

◆ 標準規格(SpaceVPX)を採用しています



株式会社ミツエインターナショナル

〒190-0004 東京都立川市柏町 4-56-1 TEL : 042-538-7650
e-mail : sales@mish.co.jp URL : <https://www.mish.co.jp>

