

COTS ベースの SDR システムを使用して 5G 製品開発を加速する



背景：

市販の（COTS）ソフトウェア無線機（SDR）製品は、その高い性能と設計の柔軟性により、軍用レーダおよび通信アプリケーションに広く利用されてきました。最新の SDR 製品は、統合された I/O、ARM プロセッサ、およびデジタルデータへのアクセス、ルーティング、処理のための IP を含む大規模 FPGA を備えたソリューションを提供します。これらの特性と優れた信号品質、位相コヒーレントサンプリング、およびマルチチャンネルトランシーバを組み合わせた COTS SDR システムは、5G 開発プラットフォームに最適です。

この記事は、5G 製品の市場投入時間を短縮することができる多目的 COTS プラットフォームで、Software Defined Radio について理解していただくことを目的としています。

COTS の歴史：

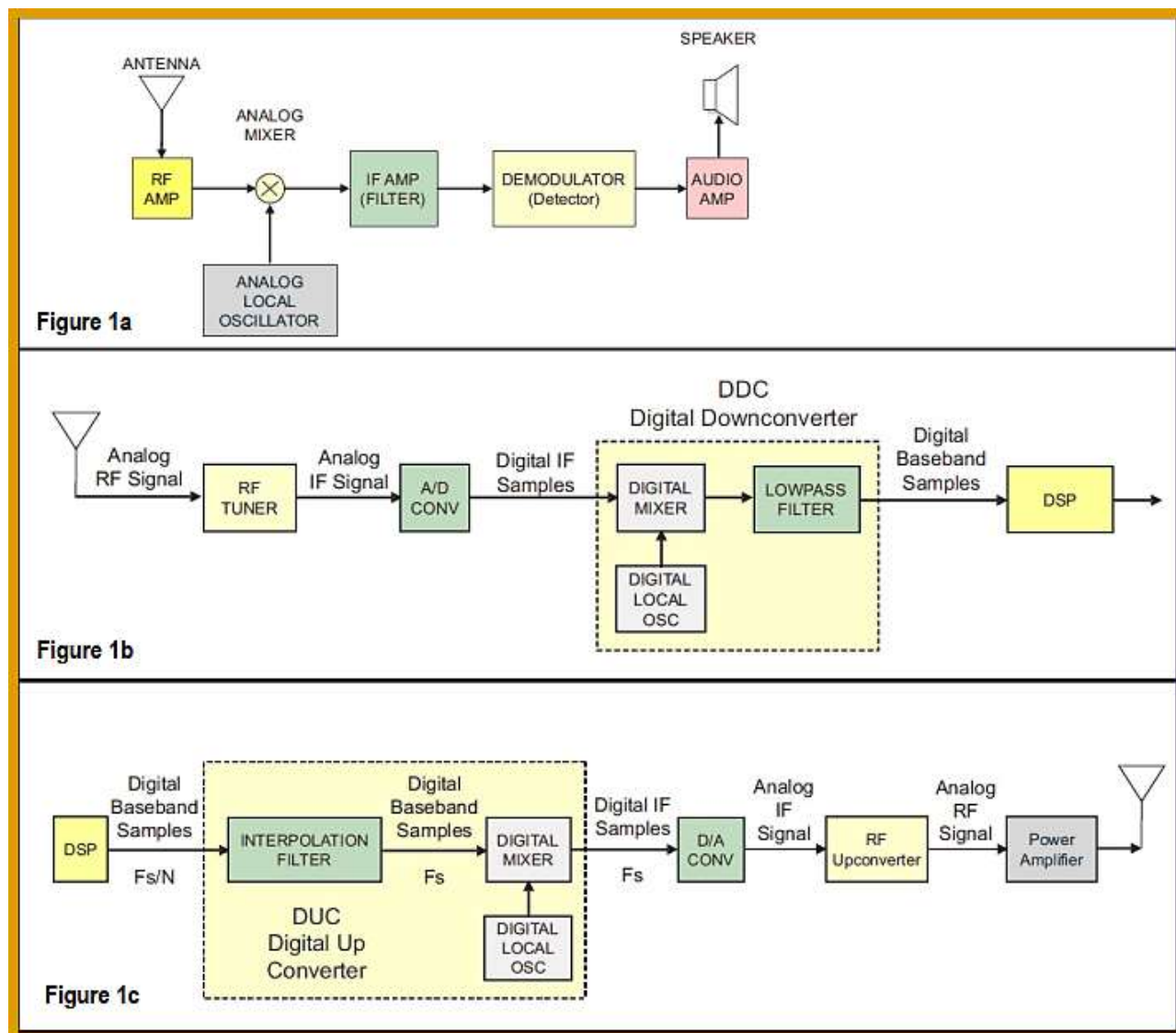
1990 年代初頭、議会の支出削減により、米軍は研究開発費を削減しなければならなかったが、アメリカの安全保障のために世界的な技術的リーダーシップを維持する必要性がありました。1994 年、当時の国防長官、ウィリアムペリーは、軍のコマーシャル品の購入とコマーシャル仕様の使用を増やすことを要求するメモを書きました。このメモは、1994 年の連邦取得合理化法（FASA）の一部として正式に法律に制定されたものであり、汎用的な商用製品の購入を禁止していた過去の厳しい軍事仕様要件からの離脱でした。その結果、今日では豊富な COTS 製品が、軍事用と商業用の両方に利用可能な最新の技術と共に利用可能になりました。

-定義-

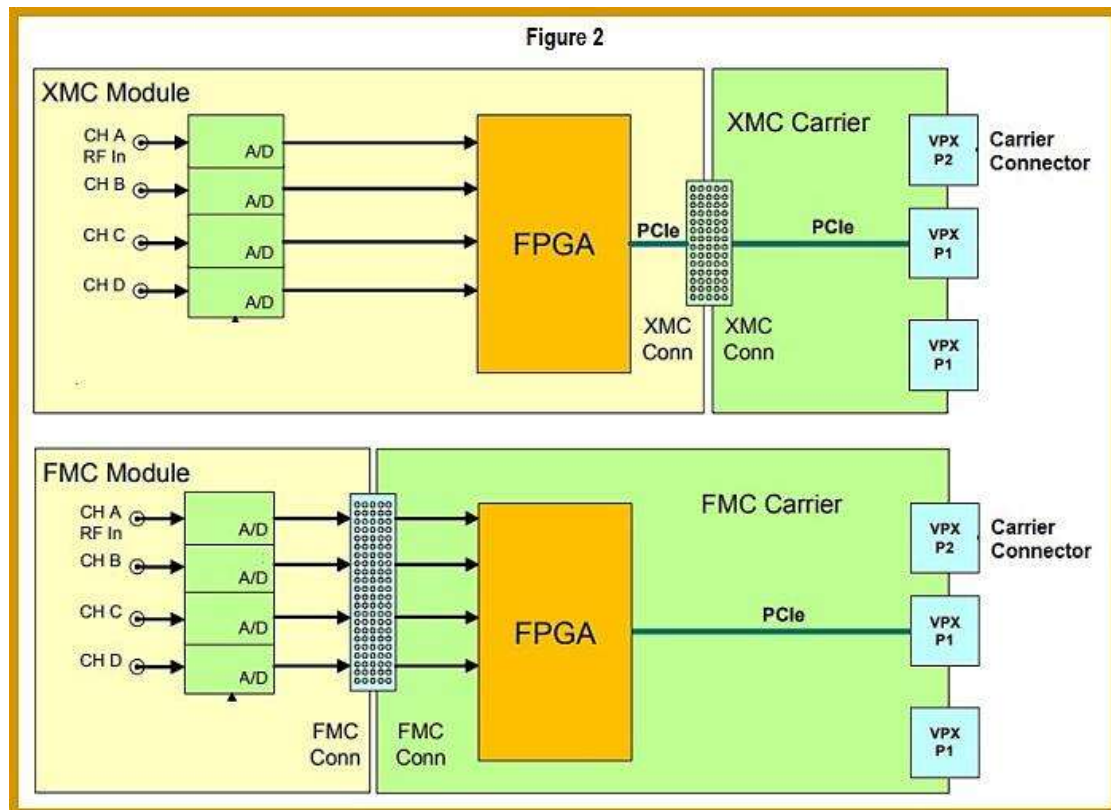
この記事の各セクションはハードウェア、ファームウェア、およびソフトウェアのサブセクションに分かれています。ハードウェアはコンポーネントを含む SDR PCB です。ファームウェアは、ロジックデザインを作成し、デジタル信号処理（DSP）機能を実装するために使用される内部 FPGA コードです。ソフトウェアは、FPGA を制御し追加の DSP 機能を実行するための C コードです。

ハードウェア：

SDR は、RF フィルタ、アナログダウンコンバータ (Lo + Mixer)、バンドパスフィルタ、および復調器で構成されている従来のアナログシステムに代わるものです (Figure 1a を参照)。これらの固定アナログシステムは、AM または FM ラジオのような特定のプラットフォームに限定されており、別のプラットフォームが必要な場合は交換する必要があります。SDR の主な機能は、デジタル信号処理技術を活用して、今日の無線トラフィックの複雑さ、精度、および帯域幅をサポートすることです。受信機能および送信機能の両方について、アンテナ信号と DSP 動作との間で適切なデータ変換が必要とされます。SDR レシーバは、アンテナからの RF 信号を A/D 変換器でデジタルサンプルに変換し、後続の DSP 操作を使用して信号から必要な情報を抽出します (Figure 1b を参照)。SDR トランスミッタは、送信されるデジタル情報を受け取り、必要な DSP 操作を実行して D/A コンバータ用のデジタルサンプルを生成します。そのアナログ出力信号は PA に送られてアンテナに配信されます (Figure 1c を参照)。これらの無線はソフトウェアで定義されているため、マイクロ秒単位で新しいパラメータをオンザフライでプログラムすることも、内部または外部メモリから新しいファームウェアイメージをロードするだけでさまざまな目的に合わせて再設定することもできます。



SDR は、優れた信号品質と正確なタイミングのために設計された特殊な PCB ボードに実装されます。これらカードの最新世代は、スイッチファブリックメザニンカード(XMC)、または FPGA メザニンカード(FMC)です。Figure 2 は、XMC メザニンが FPGA を含み、FMC が FPGA を搭載したより複雑なキャリアを必要とするという違いがある両方のカードタイプを示しています。この例では、各カードは 3U VPX シャーシに収まる 3U OpenVPX キャリアに接続されています。



これらのメザニンカードのどちらも、異なるフォームファクタキャリアと組み合わせて、異なるシャーシまたは PC のマザーボードに取り付けることができます。これにより、同じソフトウェア無線機能を複数のシステムの異なるプラットフォームで使用できます。

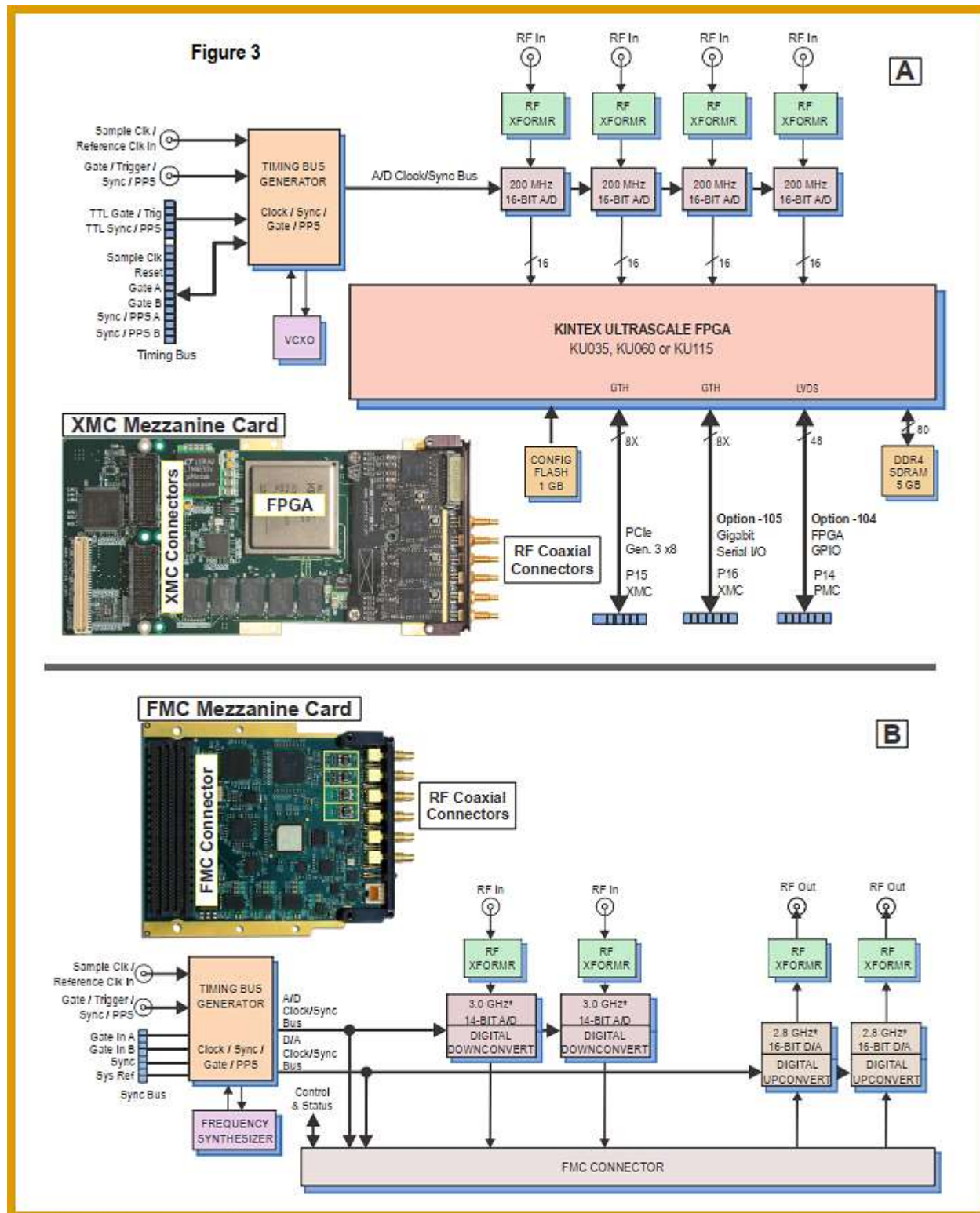


Figure 3 に、XMC および FMC メザニンカードのイメージと、それに対応する機能ブロック図を示します。画像 A (Figure 3) は 4ch の 200MHz A/D を搭載した XMC カードで、画像 B は 2ch の 3.0 GHz A/D と 2ch の 2.8 GHz D/A を搭載した FMC カードです。これらのカードは多種多様なマルチチャンネル SDR メザニンカードのほんの一例です。

XMC カードにはアナログ I/O と FPGA の両方が含まれています。2ch A/D および 2ch D/A FMC カード (Model3320) の詳細は、Pentek 社の Web サイトでご確認いただけます。

XMC ボードの核となるのは、オンボード VCXO またはリファレンス入力信号を使用する可変サンプリング用のマルチビット周波数シンセサイザを備えた高精度タイミングシステムです (Figure 3 参照)。このタイミングシステムは通常、レーダまたはセルラーシステムの非常に正確なタイミング要件のために、NTP (Network Time Protocol) サーバーまたは GPS 受信機からの外部同期信号を受け取ります。この精度レベルは、A/D の位相コヒーレント、FPGA DSP データ同期、および D/A 信号送信にも必要です。

各 A/D は、100 MHz のナイキスト帯域幅を取得できる最大 200 MSPS のサンプリングレートをサポートしています。デジタル無線の一般的な技術は、信号をアンダーサンプリングすることによって、チャンネル情報または中間周波数 (IF) 帯域幅を取得することです。複数のナイキストゾーンを使用する「ファンフォールド」の概念については、以下「ナイキストゾーン・サンプリング」を参照してください。アンダーサンプリングは、低いサンプルレートと高いダイナミックレンジを持つ A/D を使用して、情報を失うことなくより高周波の狭い帯域幅の信号を取得することを可能にします。これが正しく機能するためには、RF 入力経路と A/D がこの高周波の信号に対応する必要があります。前述の 200 MHz A/D の例では、4 つ目を除くすべてのナイキストゾーンからのノイズと高調波を低減するために、400 MHz を超える通過帯域と適切なバンドパスフィルタリング (BPF) を持つ AC トランスが必要です。A/D サンプリングのナイキスト基準を満たした後、次の段階は通常 DDC (デジタルダウンコンバータ) です。DDC は多くの場合、FPGA 内の IP ファームウェアとして実装されています。これは、周波数変換と帯域幅削減を実行します。

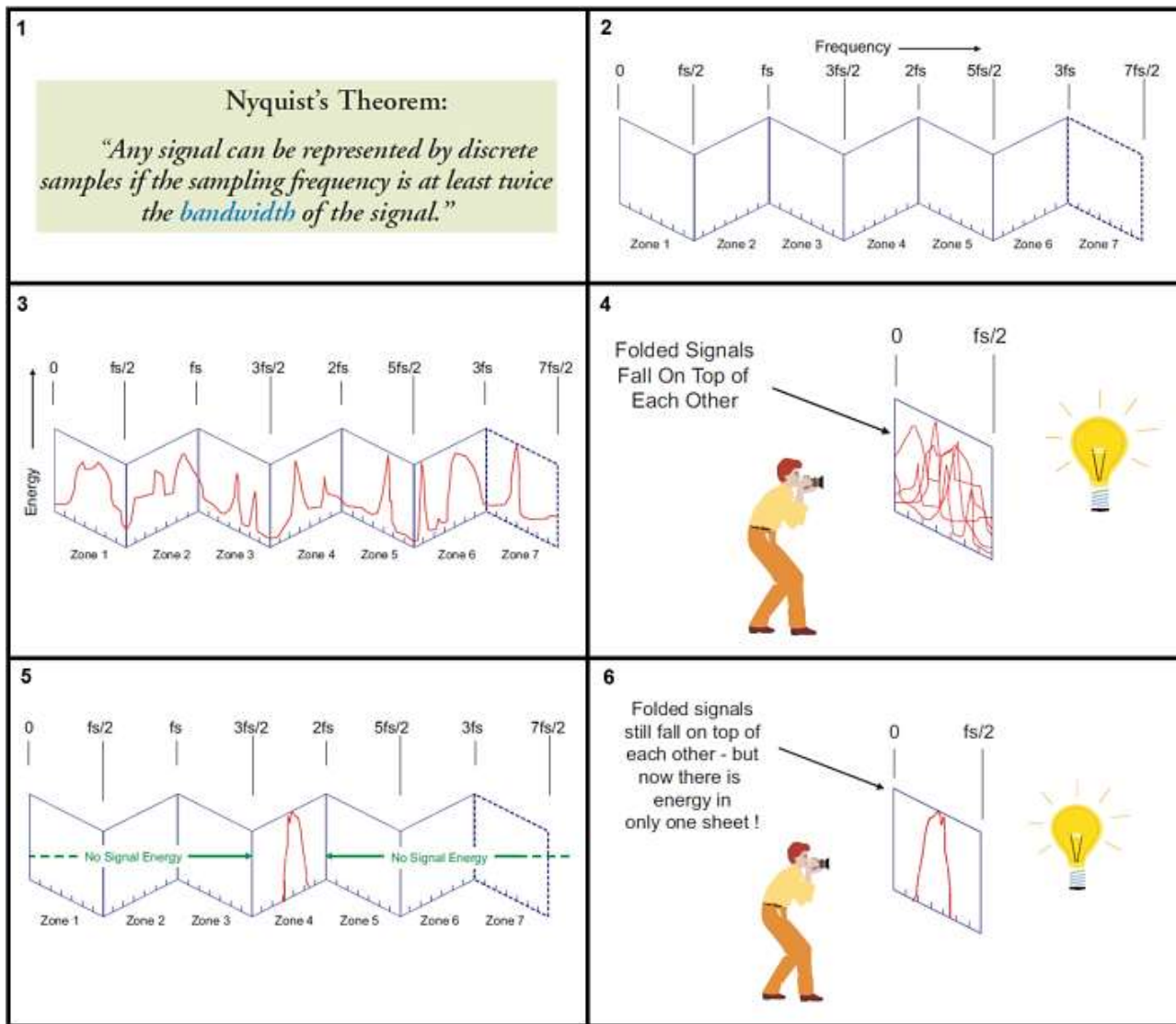
ナイキストゾーン・サンプリング (次図を参照)

1. アンダーサンプリングの概念を説明する際、周波数と区別するために以下のナイキスト定理で「帯域幅」を強調表示しています。
2. 図のファンフォールド用紙は、「ナイキストゾーン」の位置を示しており、これはサンプリング周波数 (f_s) の $1/2$ の幅をナイキストゾーンとして定義します。XMC ボードの例では、 $f_s = 200$ MHz、 $f_s/2 = 100$ MHz などで 100 MHz ごとにナイキストゾーンを折り返します。
3. すべての信号エネルギーは、ナイキスト定理の帯域幅要件と周波数要件の両方を満たすために、1 つのナイキストゾーンに収まる必要があります。この広帯域信号の例 (赤で表示) は複数のゾーンをまたいでいるため「シングルゾーン」のルールに違反しています。
4. この信号をサンプリングした結果を示すために、ファンフォールド用紙を折りたたんでバックライトを当てると、 $f_s/2$ を超えるすべての信号エネルギーが最初のゾーンに表示されます。これは、LPF を使用して $f_s/2$ を超えるすべての信号エネルギーを除去することで補正できます。
5. もう 1 つの例は、ナイキストゾーン 4 (この例では 300 MHz から 400 MHz の間) に完全に収まる狭帯域信号です。この信号は、他のすべてのゾーンから信号エネルギーを除去する適切なバンドパスフィルタを使用することで正しくサンプリングできます。
6. 信号周波数が $f_s/2$ 以上であるにもかかわらず、信号エネルギーは 1 つのゾーン内に含まれているためナイキスト定理を満たしています。Zone 1 より上のサンプリングは「アンダーサンプリング」と呼ばれます。

この手法の詳細については、Pentek の Software Defined Radio Handbook を参照してください。

ナイキストの定理：

サンプリング周波数が信号の帯域幅の少なくとも2倍であれば、どんな信号でも離散サンプルで表すことができる。



ファームウェア：

FPGA は、ロジック・演算器・信号処理のビルディングブロックで構成されており、動作するためにはファームウェア (IP) でコンフィグレーションする必要があります。これはプログラミングの柔軟性に理想的ですが、ファームウェアの開発が必要なため複雑となります。一部の COTS SDR ベンダは、開発プロセスを簡素化するためにボードの基本動作に FPGA IP を提供しています。これには通常、データ取得・送信するためのアナログ・デジタル I/O 機能、およびデータをシステムに転送するためのエンジン、DDC・フィルタ・チャネライザなどの特定の無線機能用の DSP IP が含まれます。



DDC 機能には、NCO ローカルオシレータ、複合ミキサ、および従来のアナログ無線システムの機能を置き換えるためのデジタルフィルタの 3 つの IP 構成ブロックが必要です (Figure 1a および 1b を参照)。Figure 1b は、DDC を有する SDR の機能ブロック図です。この DDC で対象となる周波数をベースバンドに変換するために複雑なデジタルミキサを使用します。ダイレクトデジタルシンセサイザ (DDS) 数値制御発振器 (NCO) によって駆動される乗算器のペアにより、ユーザは希望の周波数に「チューニング」することができます。次に、ローパス FIR フィルタを通過して、信号をチャンネル帯域幅にデシメート (間引き) します。

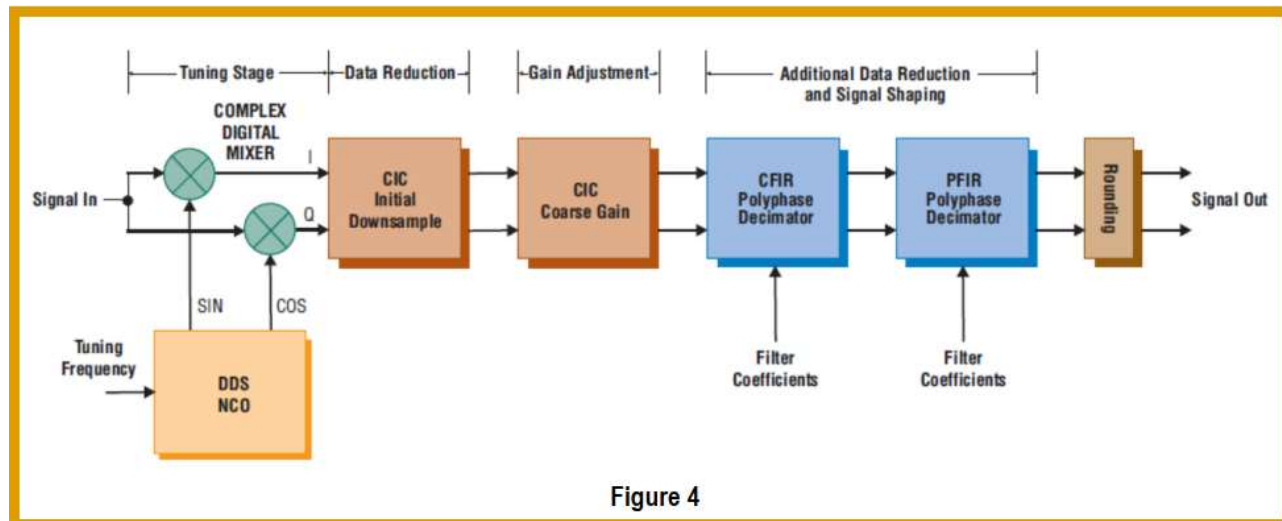


Figure 4

Figure 4 は、DDC ブロックを更に詳細に表したもので、細かい間引きとゲイン調整の段階があります。CIC フィルタはデータを間引きし、サンプルレートと有効帯域幅を低減します。2 段目の CIC は更に帯域幅を狭めてコースゲインを調整し、2 つのポリフェイズフィルタは最終的な帯域幅を削減し、追加の間引きおよび信号整形を行います。CFIR (補償 FIR) は通過帯域を平坦化するのに役立ち、PFIR (プログラムマブル FIR) はリップルを除去するのに役立ちます。これで、コンプレックス I&Q データを FPGA に転送して演算処理し、システムに配信する準備ができました。DDC の 2 つの主な利点は、間引きの結果として S/N 比が高くなることと、中心周波数を狭帯域信号に同調できることです。信号を間引くとサンプルレートが実質的に低下し、プロセスゲインと呼ばれる無相関のホワイトノイズが減少します。そして NCO は単一のナイキストゾーン内の特定の搬送波周波数にデジタル的に同調します。

SNR とデジタルプロセスゲイン

A/D の SN 比の計算： $SNR = 6.02 * N(\text{bits}) + 1.76 \text{ dB}$

例： 200 MHz 16-bit A/D の場合、 $SNR = 6.02 * 16 + 1.76 \text{ dB} = 98 \text{ dB}$

A/D の非線形性、LNA 入力からのノイズ、サンプリングクロックのジッタにより高品質の A/D に対して実測された SNR は約 75 dB に制限されます。この計算では、入力信号がフルスケールであると仮定していますが、これはゲインの低下やフロントエンド LNA のバックオフ設定が原因で変動することが多く、波高率の高い通信信号を補正するためです。ダイナミックレンジは、DDC を使用して全ナイキスト帯域幅を目的のチャンネル帯域幅まで減らすことで改善できます。

$F_s/2 = 100\text{MHz}$ の Pentek 社の 200MHz A/D、および 5MHz LTE チャンネルの例では、以下の計算されたプロセスゲイン、または RMS ノイズが低減します：

$SNR_{pg} = SNR_{nyquist} + 10 * \log_{10}(F_s/2 / F_{filter}) = 75\text{dB} + 10 * \log_{10}(100 \text{ MHz} / 5 \text{ MHz}) \approx 88 \text{ dB}$

このように 13 dB の改善が期待できます。

ソフトウェア：

アプリケーションによっては、ベンダの提供する FPGA IP がアプリケーションの仕様を満たすことがありますが、無線器を操作するには制御ソフトウェアが必要です。FPGA IP は、ソフトウェアプログラムからシステムインタフェースを介して送信される動作パラメータを必要とします。これは通常、Windows または Linux オペレーティングシステム環境用の「C」呼び出し可能ルーチンとして書かれたボードサポートパッケージ（BSP）の機能です。BSP には、ボード機能をテストするために実行できるライブラリ関数とコンパイル済みのサンプルコードが含まれています。

SDR の例として、DDC でさらに処理するために A/D にデータをキャプチャして FPGA に転送するように命令することが挙げられます。この処理されたデータは、メモリに記憶されるかまたはアナログ信号に変換して送信するために D/A セクションに転送することができます。これは、BSP ソフトウェアライブラリの機能とドライバを使用して開発されたソフトウェアプログラムの例です。ユーザが新しい FPGA IP を作成した場合は、BSP パッケージに含めるために追加の制御ソフトウェアを作成する必要があります。



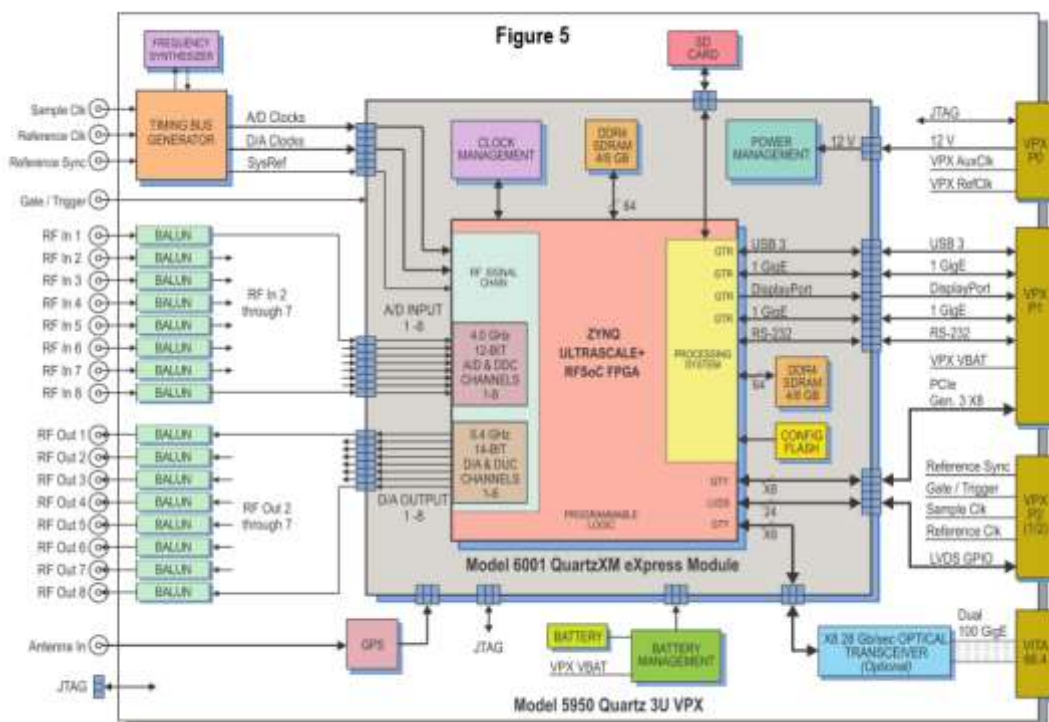
Pentek
Model 5950

最新の COTS SDR テクノロジ

ハードウェア：

過去 10 年間で、ザイリンクスのような FPGA メーカーは、シリコン製造プロセスのサイズを縮小することによってテクノロジーを向上させ、その結果、デバイスサイズ、重量、電力 (SWaP) の値を低減しました。2008 年後半、ザイリンクス Virtex-6 ファミリーは 40nm プロセスを使用して構築され、FPGA あたり平均 2000 個の DSP スライスを実装していました。2017 年までに Ultrascale ファミリーは 20nm プロセスを使用し、FPGA DSP スライスは約 5.5K に増加しました。ザイリンクスが提供する最新の System-on Chip (SoC) デバイスである RFSoc は、ARM プロセッサを搭載した FPGA ファブリック、A/D、D/A をすべて同一チップ上に搭載したものです。16nm テクノロジーには、4.2K 以上の DSP スライス、4 つの 1.5 GHz A53 ARM プロセッサ、2 つの 600 MHz R5 ARM プロセッサ、8 つの 4 GHz、12 ビット A/D、8 つの 6.4 GHz、14 ビット D/A が実装されています。

この革新的な技術は、5G 無線製品を開発するエンジニアにマルチチャンネル SDR トランシーバーを提供するために COTS 製造業者によって使用されています。Figure 5 は、ザイリンクス RFSoc の機能ブロック図で、Pentek の Model 5950 3U VPX ボードの中心的なコンポーネントです。グレーの部分は、3U VPX キャリアに搭載する為、完全にコネクタ接続された RFSoc システムオンモジュール (SOM) です。このデバイスは、前世代の FPGA と同様にギガビットイーサネットポートを介して制御できますが、オンボード ARM プロセッサを使用すると、自律的な操作、またはローカルまたは外部ネットワーク経由で通信・制御できます。



ファームウェア：

前世代の FPGA は、VeriLog、または VHDL などのテキスト形式のハードウェア記述言語（HDL）を使用してプログラムされていました。最新の AXI4 準拠の IP ブロックは、ザイリンクスの Vivado に含まれています。ザイリンクスの IP インテグレーターツールには、HDL コードを表す仮想グラフィカルブロックがあり、ドラッグアンドドロップで相互に接続できます。

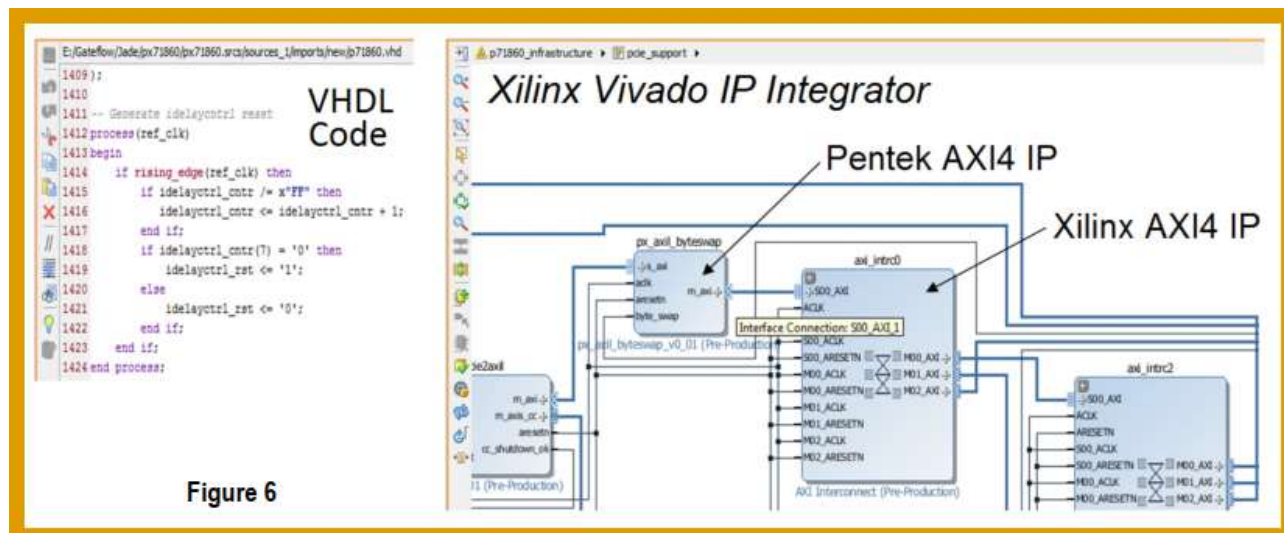
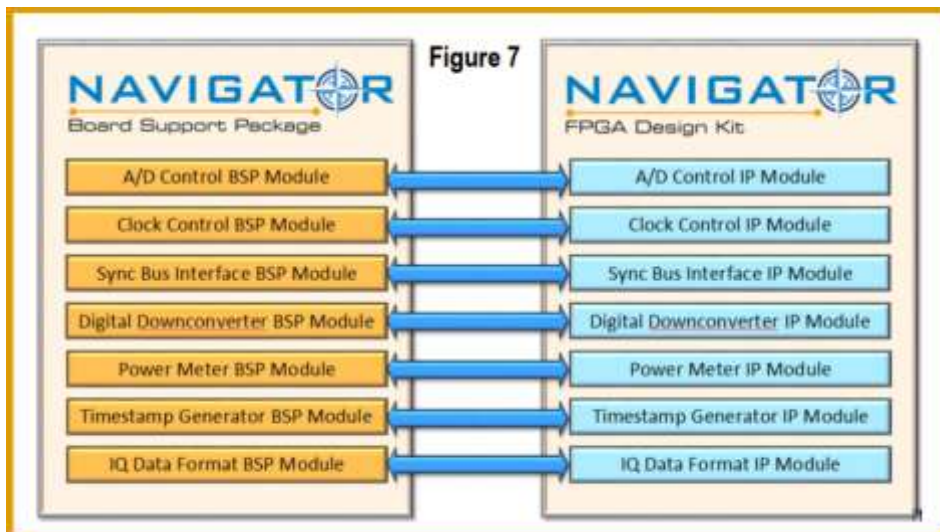


Figure 6

Figure 6 は、右側にグラフィックブロック表現と、左側に VHDL コード記述を示しています。この直感的なプログラミング方法により、FPGA に不慣れな人でも、FIR フィルタや DDC などのハードウェアを表す論理ブロックを使用して SDR を作成できます。このプログラミング方法で、ベンダ提供のハードウェア固有の IP ブロックとザイリンクスのメインライブラリの IP ブロックを迅速に統合できます。

ソフトウェア：

これら最新の IP プログラミングの進歩により、COTS ベンダは関連するすべての IP モジュールと BSP モジュールを一緒に提供することができました。Figure 7 は、各 IP モジュールが関連する FPGA プログラムパラメータを含む単一の対応する BSP モジュールを持っている様子を示しています。Figure 7 は、Pentek Navigator BSP および Navigator FDK IP モジュールのリスト例を示しています。



5G アプリケーションの具体例

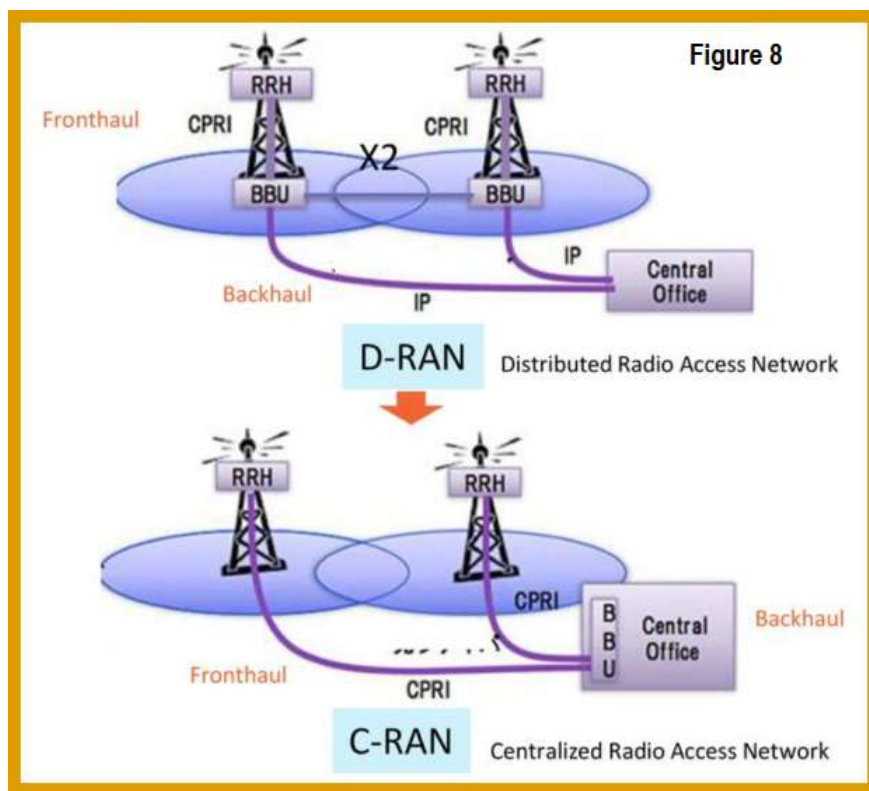


Figure 8 は、分散型無線エリアネットワークと集中型無線エリアネットワークの違いを示しています。従来の D-RAN の基地局は、新しい C-RAN に置き換えられています。最初は同軸ケーブルを光ファイバに置き換えて信号品質を確保し、回線交換から IP パケット交換にかけて音声とデータを 1 つのシステムに統合しました。最新の 5G ミリ波および MassiveMIMO アプリケーションでも、このネットワークと無線の分離が必要です。

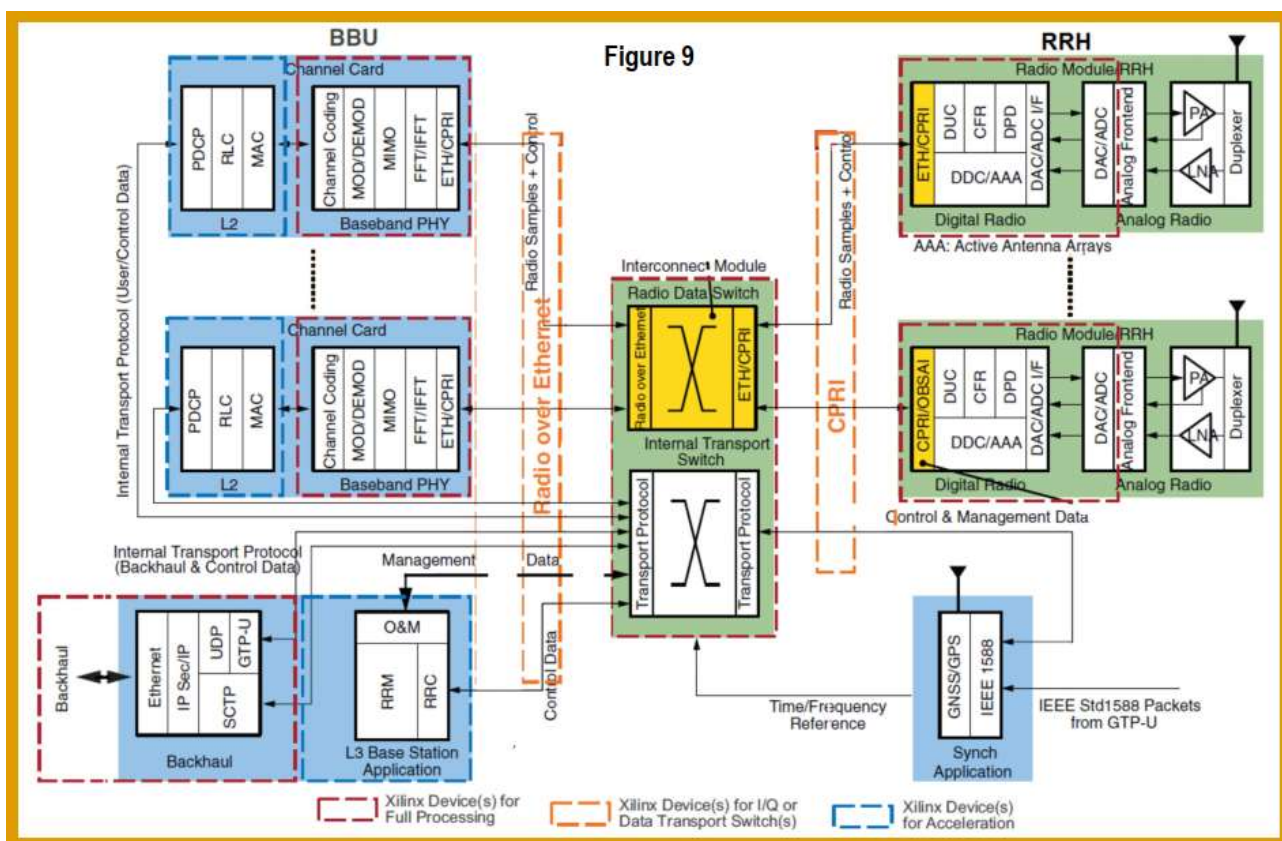


Figure 9 は、ベースバンドユニット (BBU)、リモートレディオヘッド (RRH)、GPS 時間および周波数リファレンス、および無線基地局からなる集中無線線エリアネットワーク (C-RAN)、相互接続スイッチの機能ブロック図です。BBU は通常バックオフィスのために複数の光データラインにアクセスする中央局または仮想ネットワーク (クラウド) にあり、RRH はエンドユーザにより近い外部の場所にあります。BBU と RRH は、システム要件に応じて、Common-Public-Radio-Interface (CPRI)、Open-Base-Station-Architecture-Initiative (OBSAI) を使用して接続できます。レガシーセルラー、5G TF (Verizon 仕様)、または 3GPP 5G NR 仕様と組み合わせたこれらのさまざまな転送モードオプションを組み合わせ、複雑な異種ネットワークを形成することができます。テストを必要とする多くのソリューションのため、利用可能な多数のマルチチャンネルバージョンから COTS SDR プラットフォームを選択することは価値があります。Figure 9 は、RRH をエミュレートするために使用される COTS SDR ボードの例です。

ハードウェア：

ユーザ機器で、OTA 信号は RRH 内のアンテナを介して LNA によって受信されます。この RF 信号は、A/D に入力される前にフィルタリングされゲイン調整されます。A/D からのデジタル化された I/Q サンプルデータは、デジタルラジオでパケット化され、無線データスイッチを介して BBU にフロントホールで転送されます。パケット化されたデータは、FFT、MIMO アルゴリズム、復調、チャンネル符号化のためにビットストリームに変換されます。次にこのデータは内部トランスポートスイッチによって管理され、識別およびさらなる処理のためにメインセルラネットワークへのバックホールトランスポートのために再パケット化されます。通話が進行中の場合は、逆のプロセスで相手方に OTA を送信するため、ユーザーデータが CPRI またはイーサネット上のイーサネットプロトコルを使用して別の RRH に送信されま

す。

前の説明は、このプロセスを単純化したものです。

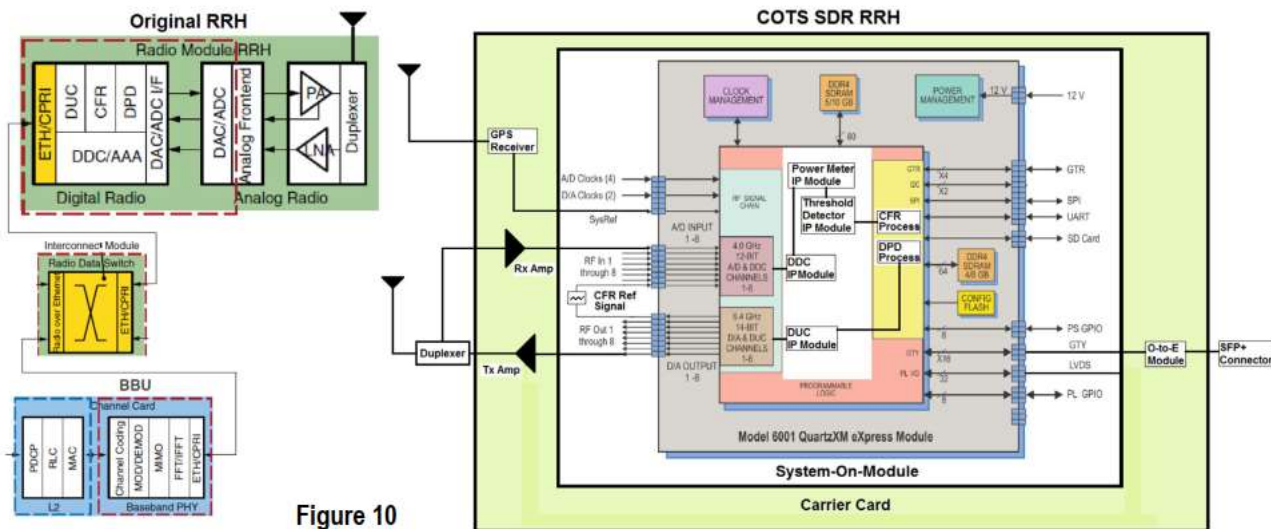


Figure 10

Figure 10 は、左側に RRH、無線データスイッチ、BBU を、右側に COTS SDR RRH を示した最初の C-RAN の一部です。カスタムモジュラキャリアカード（薄緑色の領域）には、RX および TX 増幅器、GPS 受信機、O/E トランシーバモジュールが含まれています。SOM（グレーの領域）には、RFSoc、電力管理、データ保存、アナログおよびデジタル I/O 用のすべての接続が含まれています。アンテナからの着信 RF 信号はデュプレクサを介して RX LNA に接続されハイパワーアンプ（PA）の送信レベルから分離して、A/D チャンネルに接続されます。この SOM とカスタムキャリアの組み合わせは、次のセクションで説明する IP により元の RRH をエミュレートできます。

ファームウェア：

FPGA ファブリック内に入ると、デジタルサンプルは間引き、周波数選択、調整され DDC でフィルタリングされます。DDC 出力サンプルは測定のために電力計モジュールにストリーミングされ、そしてしきい値検出器 IP モジュールにおいて分類されます。これら処理されたサンプルは、クレストファクタ低減およびデジタルプリディストーションルーチンのために ARM プロセッサにストリーミングされてから、再送信のために DUC でアップコンバートされます。DUC は DDC の逆で、間引きの代わりに周波数変換と補間を実行します。デジタル化された I/Q サンプルデータは、前述のように無線データスイッチを介して BBU に転送するためにデジタル無線機でパケット化されます。さまざまなチャンネルとさまざまなデータ転送プロトコルがあるため、信号の最大データスループットを計算する必要があります。

最大データ転送要件 例 1

2本のアンテナと5MHzのLTEチャンネル帯域幅を持つリモートRRHには、次のデータ転送要件があります。

- 5MHzチャンネルでは、情報をキャプチャするために少なくとも10MHzのサンプリング、または10MSPSが必要です。16ビットサンプルあたり2バイト、およびIとQ用に2サンプルあります。
- $SR_{max} = 5MS/s \times 2Byte/s \times 2(I \&Q) = 20Mbyte/s \times 8bit/Byte = 160Mb/s$
- アンテナが2本あるため、 $160Mbps/2 = 320Mbps$ のデータスループットが必要で、10~25GbpsのCPRIポートでは問題ありません。

最大データ転送要件 例 2

100MHzのチャンネルと8つのアンテナ入力を備えた新しい5Gリンクは、データ転送要件を高めま
す。複数のCPRIポートに必要とされるのは52Gb/s。上記の計算では、エンコードのバリエーシ
ョンは無視されます。

ソフトウェア：

必要な制御レベルに応じて、新しいIPおよびARMプロセッサ用にBSPルーチンを作成する必要があります。または、FPGAと連携してARMプロセッサを自律的に動作するようにプログラムすることができます。

まとめ

この記事の目的は、5G開発プラットフォームに使用するSDRシステムを作成するために、COTSベンダから入手可能な最新のハードウェア、ファームウェア、ソフトウェア、および設計ツールについて従来の無線技術者に慣れ親しんでもらうことでした。これらのSDRプラットフォームは、絶えず変化する5G設計要件に準拠する優れたシグナルインテグリティ性能、高いテスト再現性、およびモジュール式アセンブリを提供します。将来の5Gインプリメンテーションは実験のための多くの開発プラットフォームを必要とするため、この出発点としてCOTSシステムの使用は製品化期間の加速を確実にするでしょう。



Pentek 社について

Pentek 社は、ISO 9001 : 2015 認定企業として、デジタル信号処理・ソフトウェア無線・データ収集用の組み込みコンピュータボードおよびレコーディングシステムを設計・製造しています。製品には、商用環境と耐環境の両方に対応した AMC、XMC、FMC、PMC、cPCI、PCIe、VPX のフォームファクタで準備されており、レーダ、無線通信、SIGINT、ビームフォーミング等の用途に幅広く利用されています。Pentek 社の詳細については、www.pentek.com をご参照ください。